

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-252473

(43)Date of publication of application : 14.09.2000

(51)Int.Cl.

H01L 29/786  
G02F 1/1365  
G09F 9/30  
H01L 29/43

(21)Application number : 11-358964

(71)Applicant : SEMICONDUCTOR ENERGY LAB CO LTD

(22)Date of filing : 17.12.1999

(72)Inventor : OTANI HISASHI  
YAMAZAKI SHUNPEI

(30)Priority

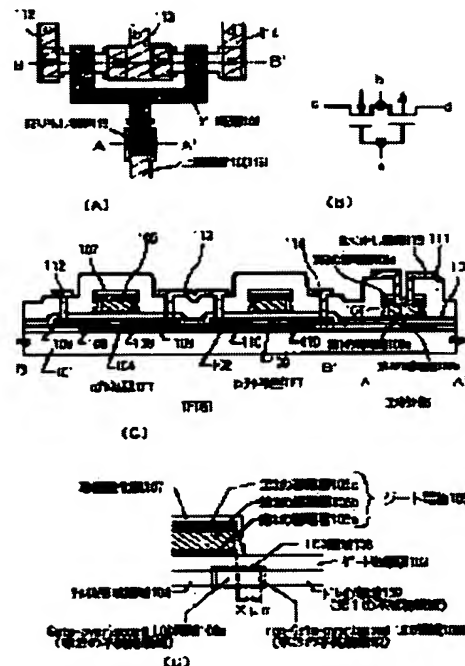
Priority number : 10376007	Priority date : 18.12.1998	Priority country : JP
10376008	18.12.1998	
10372753	28.12.1998	JP
		JP

## (54) WIRING AND ITS MANUFACTURE, AND SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To achieve a high-performance semiconductor device with a contact structure with improved ohmic contact.

SOLUTION: First wiring is formed in at least a three-layer lamination structure, and for example a first conductive layer 106a, a second conductive layer 106b, and a third conductive layer 106c are formed. Further, the side part of the second conductive layer 106b is covered with an oxide film 107. Then, after an interlayer insulation film is formed, a contact hole reaching the first wiring is formed. In this case, although dry etching using a fluorine gas is made, contact structure with improved ohmic contact can be formed by allowing the second conductive layer 106b to function as an etching stopper.



## LEGAL STATUS

[Date of request for examination]  
[Date of sending the examiner's decision of rejection]  
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]  
[Date of final disposal for application]  
[Patent number]  
[Date of registration]  
[Number of appeal against examiner's decision of rejection]  
[Date of requesting appeal against examiner's decision of rejection]  
[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-252473

(P2000-252473A)

(43) 公開日 平成12年9月14日 (2000.9.14)

(51) Int.Cl.<sup>7</sup>

識別記号

F I

テームコード\* (参考)

H 0 1 L 29/786

G 0 2 F 1/1365

G 0 9 F 9/30

H 0 1 L 29/43

3 3 8

H 0 1 L 29/78

G 0 9 F 9/30

G 0 2 F 1/136

H 0 1 L 29/62

29/78

6 1 2 C

3 3 8

5 0 0

G

6 1 3 A

審査請求 未請求 請求項の数33 O L (全 36 頁) 最終頁に続く

(21) 出願番号 特願平11-358964

(22) 出願日 平成11年12月17日 (1999. 12. 17)

(31) 優先権主張番号 特願平10-376007

(32) 優先日 平成10年12月18日 (1998. 12. 18)

(33) 優先権主張国 日本 (J P)

(31) 優先権主張番号 特願平10-376008

(32) 優先日 平成10年12月18日 (1998. 12. 18)

(33) 優先権主張国 日本 (J P)

(31) 優先権主張番号 特願平10-372753

(32) 優先日 平成10年12月28日 (1998. 12. 28)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72) 発明者 大谷 久

神奈川県厚木市長谷398番地 株式会社半

導体エネルギー研究所内

(72) 発明者 山崎 舜平

神奈川県厚木市長谷398番地 株式会社半

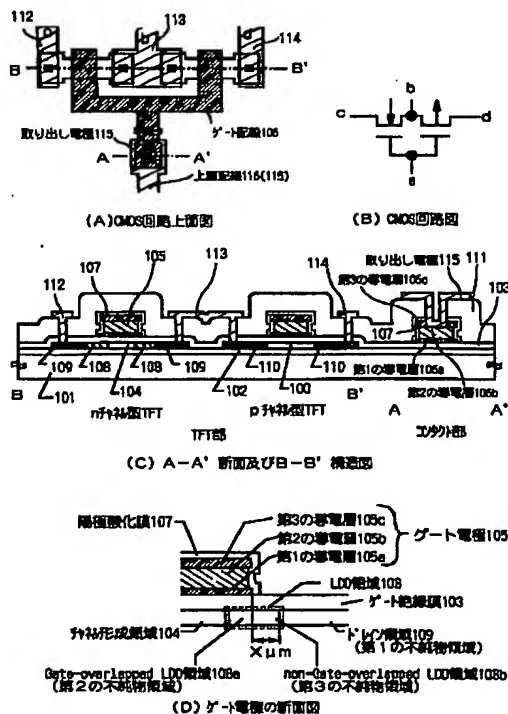
導体エネルギー研究所内

(54) 【発明の名称】 配線およびその作製方法、半導体装置およびその作製方法

(57) 【要約】

【課題】 良好なオーミック接触が実現されたコンタクト構造を備えた高性能な半導体装置を実現する。

【解決手段】 第1の配線を三層以上の積層構造とし、例えば、第1の導電層106a/第2の導電層106b/第3の導電層106cを形成する。さらに、第2の導電層106bの側部を酸化膜107で覆う。そして、層間絶縁膜を形成した後、第1の配線に達するコンタクトホールを形成する。この際、フッ素系のガスを用いたドライエッチングを行うが、第2の導電層106bをエッチングストッパーとして機能させることにより、良好なオーミック接触が実現されたコンタクト構造を形成する。



## 【特許請求の範囲】

【請求項 1】 第 1 の導電層、第 2 の導電層、第 3 の導電層の順序で積層された多層膜で形成された配線であって、

前記第 1 の導電層、前記第 2 の導電層、及び前記第 3 の導電層の表面には酸化膜を有し、

前記第 2 の導電層の幅は、前記第 1 の導電層及び前記第 3 の導電層の幅と異なることを特徴とする配線。

【請求項 2】 請求項 1 において、前記第 1 の導電層の酸化膜、前記第 2 の導電層の酸化膜、及び前記第 3 の導電層の酸化膜はバリア型であることを特徴とする配線。

【請求項 3】 請求項 1 又は請求項 2 において、前記第 3 の導電層は、バルブ金属で形成されていることを特徴とする配線。

【請求項 4】 請求項 1 乃至 3 のいずれか 1 項において、前記第 2 の導電層は、アルミニウム又はチタンを主成分とする材料で形成されていることを特徴とする配線。

【請求項 5】 請求項 1 乃至 4 のいずれか 1 項に記載の配線は、薄膜トランジスタのゲート配線である。

【請求項 6】 第 1 の導電層、第 2 の導電層、第 3 の導電層の順序で積層された多層膜を形成する工程と、前記多層膜をパターンニングして配線を形成する工程と、前記配線を陽極酸化する陽極酸化工程とを有し、前記陽極酸化工程において、前記第 1 の導電層、前記第 2 の導電層、及び前記第 3 の導電層は同じ化成溶液中で陽極酸化され、前記第 2 の導電層の幅は、前記第 1 の導電層または前記第 3 の導電層の幅と異なることを特徴とする配線の作製方法。

【請求項 7】 請求項 6 において、前記第 1 の導電層の陽極酸化膜、前記第 2 の導電層の陽極酸化膜、及び前記第 3 の導電層の陽極酸化膜はバリア型であることを特徴とする配線の作製方法。

【請求項 8】 請求項 6 又は請求項 7 において、前記第 2 の導電層は、アルミニウム又はチタンを主成分とする材料で形成されていることを特徴とする配線の作製方法。

【請求項 9】 請求項 6 乃至 8 のいずれか 1 項に記載の配線は、薄膜トランジスタのゲート配線であることを特徴とする配線の作製方法。

【請求項 10】 第 1 の導電層、第 2 の導電層、第 3 の導電層の順序で積層された多層膜で形成された第 1 の配線と、

前記第 1 の配線を覆う絶縁膜と、

前記絶縁膜上に形成され、前記第 1 の配線に電気的に接続される第 2 の配線と、を有し、

前記第 1 の配線と前記第 2 の配線とを接続するために、前記絶縁膜及び前記第 3 の導電層を貫通し、底部において前記第 2 の導電層が露出されているコンタクトホール

が形成され、

前記第 2 の配線と露出された前記第 2 の導電層とが接していることを特徴とする半導体装置。

【請求項 11】 第 1 の導電層、第 2 の導電層、第 3 の導電層の順序で積層された多層膜で形成された第 1 の配線と、

前記第 1 の配線を覆う絶縁膜と、

前記絶縁膜上に形成され、前記第 1 の配線に電気的に接続される第 2 の配線と、を有し、

10 前記第 1 の配線の表面は酸化されて前記第 1 の導電層、前記第 2 の導電層、及び前記第 3 の導電層の酸化膜で覆われており、

前記第 1 の配線と前記第 2 の配線とを接続するために、前記絶縁膜、前記第 1 の配線の酸化膜、及び前記第 3 の導電層を貫通し、底部において前記第 2 の導電層が露出されているコンタクトホールが形成され、前記第 2 の導電層と露出された前記第 2 の導電層とが接していることを特徴とする半導体装置。

20 【請求項 12】 請求項 11 において、前記第 2 の導電層の酸化膜はバリア型の陽極酸化膜であることを特徴とする半導体装置。

【請求項 13】 第 1 の導電層、第 2 の導電層、第 3 の導電層の順序で積層された多層膜で形成された第 1 の配線と、

前記第 1 の配線を覆う絶縁膜と、

前記絶縁膜上に形成され、前記第 1 の配線に電気的に接続される第 2 の配線と、を有し、

前記多層膜を構成する第 2 の導電層の側部は酸化膜で覆われており、

30 前記第 1 の配線と前記第 2 の配線とを接続するために、前記絶縁膜、前記第 3 の導電層の酸化膜、及び前記第 3 の導電層を貫通し、底部において前記第 2 の導電層が露出されているコンタクトホールが形成され、前記第 2 の配線と露出された前記第 2 の導電層とが接していることを特徴とする半導体装置。

【請求項 14】 請求項 10 乃至 13 のいずれか 1 項において、前記第 2 の導電層は、アルミニウム又はチタンを主成分とする材料で形成されていることを特徴とする半導体装置。

40 【請求項 15】 請求項 10 乃至 14 のいずれか 1 項において、前記第 3 の導電層は、バルブ金属を主成分とする材料で形成されていることを特徴とする半導体装置。

【請求項 16】 請求項 10 乃至 15 のいずれか 1 項において、前記第 1 の配線は薄膜トランジスタのゲート配線であることを特徴とする半導体装置。

【請求項 17】 請求項 10 乃至 16 のいずれか 1 項に記載の半導体装置は、アクティブマトリクス型の EL 表示装置であることを特徴とする半導体装置。

50 【請求項 18】 第 1 の導電層、第 2 の導電層、第 3 の導電層の順序で積層された多層膜を形成する工程と、

## 3

前記多層膜をパターンニングして第 1 の配線を形成する工程と、

前記第 1 の配線を覆う絶縁膜を形成する工程と、

前記絶縁膜を貫通し、前記第 1 の配線に達するコンタクトホールを形成する工程と、

前記絶縁膜上に、前記コンタクトホールによって前記第 1 の配線に電気的に接続する第 2 の配線を形成する工程と、を有し、

前記コンタクトホールは前記第 3 の導電層を貫通して、底部において前記第 2 の導電層を露出しており、

前記第 2 の配線は前記第 2 の導電層と接していることを特徴とする半導体装置の作製方法。

【請求項 19】 第 1 の導電層、第 2 の導電層、第 3 の導電層の順序で積層された多層膜を形成する工程と、前記多層膜をパターンニングして第 1 の配線を形成する工程と、

前記第 1 の配線を陽極酸化して、表面に前記第 1 の導電層、前記第 2 の導電層、及び前記第 3 の導電層の陽極酸化膜を形成する工程と、

前記第 1 の配線を覆う絶縁膜を形成する工程と、

前記絶縁膜を貫通し、前記第 1 の配線に達するコンタクトホールを形成する工程と、

前記絶縁膜上に、前記コンタクトホールによって前記第 1 の配線に電気的に接続する第 2 の配線を形成する工程と、を有し、

前記コンタクトホールは、前記第 3 の導電層の陽極酸化膜、前記第 3 の導電層を貫通して、底部において前記第 2 の導電層が露出されており、

前記第 2 の配線は前記第 2 の導電層と接していることを特徴とする半導体装置の作製方法。

【請求項 20】 第 1 の導電層、第 2 の導電層、第 3 の導電層の順序で積層された多層膜を形成する工程と、前記多層膜をパターンニングして第 1 の配線を形成する工程と、

前記第 1 の配線を陽極酸化して、表面に前記第 1 の導電層、前記第 2 の導電層、及び前記第 3 の導電層の陽極酸化膜を形成する工程と、

前記第 1 の配線を覆う絶縁膜を形成する工程と、

前記絶縁膜を貫通し、前記第 1 の配線に達するコンタクトホールを形成する工程と、

前記絶縁膜上に、前記コンタクトホールによって第 1 の配線に電気的に接続する第 2 の配線を形成する工程と、を有し、

前記コンタクトホールは、前記第 3 の導電層の陽極酸化膜を貫通して、前記第 3 の導電層を露出しており、

前記第 2 の配線は前記露出された第 3 の導電層と接していることを特徴とする半導体装置の作製方法。

【請求項 21】 請求項 19 又は請求項 20 において、前記第 1 の導電層の陽極酸化膜、前記第 2 の導電層の陽極酸化膜、及び前記第 3 の導電層の陽極酸化膜はバリア

## 4

型であることを特徴とする半導体装置の作製方法。

【請求項 22】 第 1 の導電層、第 2 の導電層、第 3 の導電層の順序で積層された多層膜を形成する工程と、前記多層膜をパターンニングして第 1 の配線を形成する工程と、

前記第 1 の配線を陽極酸化して、前記多層膜を構成する第 2 の導電層の側部に陽極酸化膜を形成する工程と、

前記第 1 の配線を覆う絶縁膜を形成する工程と、

10 前記絶縁膜を貫通し、前記第 1 の配線に達するコンタクトホールを形成する工程と、

前記絶縁膜上に、前記コンタクトホールによって第 1 の配線に電気的に接続された第 2 の配線を形成する工程と、を有し、

前記コンタクトホールは、前記第 3 の導電層を貫通して、前記第 2 の導電層を露出しており、

前記第 2 の配線は前記露出された第 2 の導電層と接していることを特徴とする半導体装置の作製方法。

【請求項 23】 請求項 18 乃至 22 のいずれか 1 項において、前記第 2 の導電層は、アルミニウム又はチタンを主成分とする材料で形成されていることを特徴とする半導体装置の作製方法。

【請求項 24】 請求項 18 乃至 22 のいずれか 1 項に記載の前記第 1 の配線は、薄膜トランジスタのゲート配線であることを特徴とする半導体装置の作製方法。

【請求項 25】 n チャネル型薄膜トランジスタと p チャネル型薄膜トランジスタでなる CMOS 回路を含む半導体装置であって、

前記 CMOS 回路は、前記 n チャネル型の薄膜トランジスタの半導体層と前記 p チャネル型の薄膜トランジスタの半導体層とにゲート絶縁膜を介して交差するゲート配線を有し、

前記ゲート配線は、前記ゲート絶縁膜に接して積層された第 1 の導電層、第 2 の導電層、第 3 の導電層とでなる多層膜で形成され、

前記 p チャネル型の薄膜トランジスタの半導体層には、前記ゲート配線と重ならない p 型の不純物領域が形成され、

前記 n チャネル型の薄膜トランジスタの半導体層は、チャネル形成領域と、第 1 の n 型不純物領域と、

40 前記チャネル形成領域と前記第 1 の n 型不純物領域に挟まれ、かつ前記チャネル形成領域に接する第 2 の n 型不純物領域と、

前記第 1 の n 型不純物領域と前記第 2 の n 型不純物領域に挟まれた第 3 の n 型不純物領域とを有し、

前記第 2 の n 型不純物領域及び前記第 3 の n 型不純物領域は、前記第 1 の n 型不純物領域よりも n 型の不純物の濃度が低く、

前記第 2 の n 型不純物領域は前記ゲート絶縁膜を介して前記ゲート配線と重なり、

50 前記第 3 の n 型不純物領域は前記ゲート配線と重なら

ないことを特徴とする半導体装置。

【請求項 26】 請求項 25 に記載の第 3 の導電層は、バルブ金属を主成分とする膜であることを特徴とする半導体装置。

【請求項 27】 請求項 25 乃至 26 のいずれか 1 項に記載の半導体装置は、アクティブマトリクス型の表示装置である。

【請求項 28】 請求項 25 乃至 27 のいずれか 1 項に記載の半導体装置は、アクティブマトリクス型の EL 表示装置である。

【請求項 29】 請求項 25 乃至 28 のいずれか 1 項に記載の半導体装置は、ビデオカメラ、デジタルカメラ、プロジェクタ、ゴーグル型ディスプレイ、カーナビゲーションシステム、パーソナルコンピュータ又は携帯型情報端末である。

【請求項 30】 半導体層を形成する工程と、前記半導体層に接して絶縁膜を形成する工程と、前記絶縁膜に接し、かつ前記半導体層と交差する第 1 のフォトリソマスクを形成する工程と、前記第 1 のフォトリソマスクを介して、前記半導体層に n 型の不純物を高濃度に添加する第 1 の添加工程と、前記第 1 のフォトリソマスクよりもチャネル長方向の幅が狭い第 2 のフォトリソマスクを形成する工程と、前記第 2 のフォトリソマスクを介して、前記半導体層に n 型の不純物を低濃度に添加する第 2 の添加工程と、前記絶縁膜を介して前記半導体層と交差するゲート電極を形成する工程とを有し、第 1 の導電層、第 2 の導電層、第 3 の導電層の順序で前記絶縁膜側から積層した多層膜で前記ゲート電極を形成することを特徴とする半導体装置の作製方法。

【請求項 31】 請求項 30 において、前記ゲート電極を形成する前に、前記半導体層に添加された不純物を活性化することを特徴とする半導体装置の作製方法。

【請求項 32】 第 1 の半導体層と、第 2 の半導体層とを形成する工程と、前記第 1 の半導体層及び前記第 2 の半導体層とに接して絶縁膜を形成する工程と、前記絶縁膜に接し、かつ前記第 1 の半導体層と交差する第 1 のフォトリソマスクを形成する工程と、前記第 1 のフォトリソマスクを介して、前記第 1 の半導体層に n 型の不純物を高濃度に添加する第 1 の添加工程と、前記第 1 のフォトリソマスクよりもチャネル長方向の幅が狭い第 2 のフォトリソマスクを形成する工程と、前記第 2 のフォトリソマスクを介して、前記第 1 の半導体層に n 型の不純物を低濃度に添加する第 2 の添加工程と、

前記絶縁膜に接し、かつ前記第 2 の半導体層と交差する第 3 のフォトリソマスクを形成する工程と、前記第 3 のフォトリソマスクを介して、前記第 2 の半導体層に p 型の不純物を高濃度に添加する第 3 の添加工程と、

前記絶縁膜を介して前記半導体層と交差するゲート電極を形成する工程とを有し、

第 1 の導電層、第 2 の導電層、第 3 の導電層の順序で前記絶縁膜側から積層した多層膜で前記ゲート電極を形成することを特徴とする半導体装置の作製方法。

【請求項 33】 請求項 32 において、前記ゲート電極を形成する前に、前記第 1 の半導体層及び前記第 2 の半導体層に添加された不純物を活性化することを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、薄膜トランジスタ (Thin Film Transistor: TFT) 等を含む半導体装置及びその作製方法と、半導体装置における配線のコンタクト構造 (接続構造) およびそのコンタクト形成方法に関するものである。本発明の半導体装置は、薄膜トランジスタ (TFT) や MOS トランジスタ等の素子だけでなく、これら絶縁ゲート型トランジスタで構成された半導体回路を有する表示装置やイメージセンサ等の電気光学装置をも含むものである。加えて、本発明の半導体装置は、これらの表示装置および電気光学装置を搭載した電子機器をも含むものである。

【0002】

【従来の技術】薄膜トランジスタ (以下、TFT と呼ぶ) は透明なガラス基板に形成することができるので、アクティブマトリクス型表示装置への応用開発が積極的に進められてきた。アクティブマトリクス型表示装置はマトリクス状に配置された複数の画素によって液晶にかかる電界をマトリクス状に制御し、高精細な画像表示を実現するものである。結晶質半導体膜を利用した TFT は高移動度が得られるので、同一基板上に機能回路を集積させて高精細な画像表示を実現することが可能とされている。

【0003】アクティブマトリクス型表示装置は画面の解像度が高精細になるに従い、画素だけでも 100 万個の TFT が必要になってくる。さらに機能回路を付加すると、それ以上の数の TFT が必要となり、液晶表示装置を安定に動作させるためには、個々の TFT の信頼性を確保して安定に動作させる必要があった。

【0004】実際の液晶表示装置 (液晶パネルともいう) に要求される仕様は厳しく、全ての画素が正常に動作するためには画素、ドライバともに高い信頼性が確保されなければならない。特に、ドライバ回路で異常が発生すると一列 (または一行) の画素が動作不良となり線欠陥と呼ばれる不良を招くことにつながる。また、一個

の画素が動作不良となると点欠陥と呼ばれる。

【0005】上記線欠陥や点欠陥は、TFTの動作不良に起因するものがほとんどである。

【0006】また、上記TFTの配線材料としては、Al、Ta、Ti等が用いられているが、中でも抵抗率の低いアルミニウムが多用されている。しかし、アルミニウムは、低抵抗である一方、耐熱性が低いという短所を有している。

【0007】アルミニウムをゲート配線（ゲート電極を含む）の材料として用いてTFTを作製した場合、熱処理によってヒロック、ウィスカー等の突起物が形成され、TFTの動作不良やTFT特性の低下を引き起こしていた。また、熱処理によりアルミニウム原子がゲート絶縁膜及びチャネル形成領域に拡散してTFTの動作不良やTFT特性の低下を引き起こしていた。

【0008】また、本出願人による特開平7-135318号公報では、ゲート配線としてアルミニウムを主成分とする薄膜（アルミニウム合金とも呼ぶ）を用い、ゲート配線の周囲が酸化膜（アルミナ膜）で保護されたTFT構造が開示されている。同公報記載のTFT構造とした場合は、ヒロック、ウィスカー等の突起物の発生を防ぐことができる一方、ゲート電極の上部に設けられたバリア型の陽極酸化膜（中性電解液を用いた陽極酸化膜）の除去が困難であり、ゲート電極と取り出し電極とのコンタクト形成が非常に困難であった。従って、ゲート電極と取り出し電極とのコンタクト不良による誤動作を招いていた。また、周辺駆動回路においては大電流動作に伴う温度上昇等があるため、コンタクトの信頼性も要求される。

【0009】また、ゲート電極の上部に設けられたバリア型陽極酸化膜のみ選択的に除去するエッチャントとしてクロム混酸（クロム酸水溶液、リン酸、硝酸、酢酸、水を混合したエッチャント）と呼ばれる特殊なエッチャントを用いることでコンタクト形成することができる。しかしながら、人体に害を及ぼす可能性のある重金属クロムを使用するプロセスは工業上、望ましいものではない。また、このクロム混酸に替わるエッチャントは、現時点では見つかっていない。

【0010】また、ポリシリコン膜を利用したTFTは信頼性の面でまだまだLSIなどに用いられるMOSFET（単結晶半導体基板上に形成されたトランジスタ）に及ばないとされている。そして、この弱点が克服されない限り、TFTでLSI回路を形成することは困難であるとの見方が強まっている。

【0011】

【発明が解決しようとする課題】本発明は上記問題点を鑑みて成されたものであり、アクティブマトリクス型表示装置の面積化、高精細化を図るために、低抵抗、且つ高耐熱性を有する配線を作製する技術を提供することを課題とする。

【0012】また、クロム混酸等の有害なエッチャントを用いることなく、第1の配線と第2の配線との良好なオーミック接触が実現されたコンタクト構造を提供することを課題とする。

【0013】さらに、このようなコンタクト構造を備え、且つ、MOSFETと同等またはそれ以上の信頼性を誇るTFTで回路を形成した半導体回路を有する信頼性の高い半導体装置を実現することを課題とするものである。

10 【0014】

【課題を解決するための手段】上述の課題を解決するために、本発明は、従来アルミニウムのみで構成されていたゲート配線（ゲート電極を含む）を高融点金属／低抵抗率金属／高融点金属の積層構造とし、さらにこのゲート配線を陽極酸化膜で保護する構成を主要な構成とする。本発明を利用することによって、低抵抗、且つ高耐熱性を有するゲート配線を形成することができるとともに、ゲート配線とのコンタクト形成を容易なものとすることができる。

20 【0015】本明細書で開示する本発明の構成（1）

は、第1の導電層、第2の導電層、第3の導電層の順序で積層された多層膜で形成された配線であって、前記第1の導電層、前記第2の導電層、及び前記第3の導電層の表面には酸化膜を有し、前記第2の導電層の幅は、前記第1の導電層及び前記第3の導電層の幅と異なることを特徴とする配線である。

【0016】上記構成において、前記第1の導電層の酸化膜、前記第2の導電層の酸化膜、及び前記第3の導電層の酸化膜はバリア型であることを特徴としている。

30 【0017】また、上記各構成において、前記第3の導電層は、バルブ金属で形成されていることを特徴としている。

【0018】また、上記構成において、前記第2の導電層は、アルミニウム又はチタンを主成分とする材料で形成されていることを特徴としている。

【0019】また、本実施例を実施する上での作製方法に関する本発明の構成（2）は、第1の導電層、第2の導電層、第3の導電層の順序で積層された多層膜を形成する工程と、前記多層膜をパターンニングして配線を形成する工程と、前記配線を陽極酸化する陽極酸化工程とを有し、前記陽極酸化工程において、前記第1の導電層、前記第2の導電層、及び前記第3の導電層は同じ化成溶液中で陽極酸化され、前記第2の導電層の幅は、前記第1の導電層または前記第3の導電層の幅と異なることを特徴とする配線の作製方法である。

【0020】上記構成においては、配線（電極を含む）を三層以上の積層構造とすることを特徴としている。さらに、この配線をそれぞれの陽極酸化膜で保護する。なお、ここで言う第2の導電層の幅は、線幅のことを指している。



【0021】また、上述した課題を解決するために、本発明は、第1の配線を三層以上の積層構造とし、良好なオーミック接触が実現されたコンタクト構造（第1の配線と第2の配線とのコンタクト構造）を備えた半導体装置の構成を主要な構成とする。本発明を利用することによって、低抵抗、且つ高耐熱性を有する第1の配線を形成することができるとともに、第1の配線と第2の配線とのコンタクト形成を容易なものとすることができる。

【0022】本明細書で開示する本発明の構成（3）は、第1の導電層、第2の導電層、第3の導電層の順序で積層された多層膜で形成された第1の配線と、前記第1の配線を覆う絶縁膜と、前記絶縁膜上に形成され、前記第1の配線に電気的に接続される第2の配線と、を有し、前記第1の配線と前記第2の配線とを接続するために、前記絶縁膜及び前記第3の導電層を貫通し、底部において前記第2の導電層が露出されているコンタクトホールが形成され、前記第2の配線と露出された前記第2の導電層とが接していることを特徴とする半導体装置である。

【0023】また、他の本発明の構成（4）は、第1の導電層、第2の導電層、第3の導電層の順序で積層された多層膜で形成された第1の配線と、前記第1の配線を覆う絶縁膜と、前記絶縁膜上に形成され、前記第1の配線に電気的に接続される第2の配線と、を有し、前記第1の配線と前記第2の配線とを接続するために、前記絶縁膜を貫通し、底部において前記第3の導電層が露出されたコンタクトホールが形成され、前記第2の配線と露出された前記第3の導電層の表面が接していることを特徴とする半導体装置である。

【0024】また、他の本発明の構成（5）は、第1の導電層、第2の導電層、第3の導電層の順序で積層された多層膜で形成された第1の配線と、前記第1の配線を覆う絶縁膜と、前記絶縁膜上に形成され、前記第1の配線に電気的に接続される第2の配線と、を有し、前記第1の配線の表面は酸化されて前記第1の導電層、前記第2の導電層、及び前記第3の導電層の酸化膜で覆われており、前記第1の配線と前記第2の配線とを接続するために、前記絶縁膜、前記第3の導電層の酸化膜、及び前記第3の導電層を貫通し、底部において前記第2の導電層が露出されているコンタクトホールが形成され、前記第2の配線と露出された前記第2の導電層とが接していることを特徴とする半導体装置である。

【0025】上記各構成において、前記第3の導電層は、バルブ金属を主成分とする材料で形成されていることを特徴としている。

【0026】上記各構成において、前記第2の導電層の酸化膜はバリア型の陽極酸化膜であることを特徴としている。

【0027】また、他の本発明の構成（6）は、第1の導電層、第2の導電層、第3の導電層の順序で積層され

た多層膜で形成された第1の配線と、前記第1の配線を覆う絶縁膜と、前記絶縁膜上に形成され、前記第1の配線に電気的に接続される第2の配線と、を有し、前記多層膜を構成する第2の導電層の側部は酸化膜で覆われており、前記第1の配線と前記第2の配線とを接続するために、前記絶縁膜、前記第3の導電層の酸化膜、及び前記第3の導電層を貫通し、底部において前記第2の導電層が露出されているコンタクトホールが形成され、前記第2の配線と露出された前記第2の導電層とが接していることを特徴とする半導体装置である。

【0028】また、上記各構成において、前記半導体装置はアクティブマトリクス型の表示装置、例えば液晶表示装置やEL表示装置であることを特徴としている。

【0029】また、上記各構成において、前記第1の配線は薄膜トランジスタのゲート配線であることを特徴としている。

【0030】また、本願発明を実施する上での作製方法に関する本発明の構成（7）は、第1の導電層、第2の導電層、第3の導電層の順序で積層された多層膜を形成する工程と、前記多層膜をパターニングして第1の配線を形成する工程と、前記第1の配線を覆う絶縁膜を形成する工程と、前記絶縁膜を貫通し、前記第1の配線に達するコンタクトホールを形成する工程と、前記絶縁膜上に、前記コンタクトホールによって前記第1の配線に電気的に接続する第2の配線を形成する工程と、を有し、前記コンタクトホールは前記第3の導電層を貫通して、底部において前記第2の導電層を露出しており、前記第2の配線は前記第2の導電層と接していることを特徴とする半導体装置の作製方法である。

【0031】また、作製方法に関する他の本発明の構成（8）は、第1の導電層、第2の導電層、第3の導電層の順序で積層された多層膜を形成する工程と、前記多層膜をパターニングして第1の配線を形成する工程と、前記第1の配線を陽極酸化して、表面に前記第1の導電層、前記第2の導電層、及び前記第3の導電層の陽極酸化膜を形成する工程と、前記第1の配線を覆う絶縁膜を形成する工程と、前記絶縁膜を貫通し、前記第1の配線に達するコンタクトホールを形成する工程と、前記絶縁膜上に、前記コンタクトホールによって前記第1の配線に電気的に接続する第2の配線を形成する工程と、を有し、前記コンタクトホールは、前記第3の導電層の陽極酸化膜、前記第3の導電層を貫通して、底部において前記第2の導電層が露出されており、前記第2の配線は前記第2の導電層と接していることを特徴とする半導体装置の作製方法である。

【0032】また、作製方法に関する他の本発明の構成（9）は、第1の導電層、第2の導電層、第3の導電層の順序で積層された多層膜を形成する工程と、前記多層膜をパターニングして第1の配線を形成する工程と、前記第1の配線を陽極酸化して、表面に前記第1の導電



層、前記第 2 の導電層、及び前記第 3 の導電層の陽極酸化膜を形成する工程と、前記第 1 の配線を覆う絶縁膜を形成する工程と、前記絶縁膜を貫通し、前記第 1 の配線に達するコンタクトホールを形成する工程と、前記絶縁膜上に、前記コンタクトホールによって第 1 の配線に電氣的に接続する第 2 の配線を形成する工程と、を有し、前記コンタクトホールは、前記第 3 の導電層の陽極酸化膜を貫通して、前記第 3 の導電層を露出しており、前記第 2 の配線は前記露出された第 3 の導電層と接していることを特徴とする半導体装置の作製方法である。

【0033】上記構成（8）または（9）において、前記第 1 の導電層の陽極酸化膜、前記第 2 の導電層の陽極酸化膜、及び前記第 3 の導電層の陽極酸化膜はバリア型であることを特徴としている。

【0034】また、作製方法に関する他の本発明の構成（10）は、第 1 の導電層、第 2 の導電層、第 3 の導電層の順序で積層された多層膜を形成する工程と、前記多層膜をパターンニングして第 1 の配線を形成する工程と、前記第 1 の配線を陽極酸化して、前記多層膜を構成する第 2 の導電層の側部に陽極酸化膜を形成する工程と、前記第 1 の配線を覆う絶縁膜を形成する工程と、前記絶縁膜を貫通し、前記第 1 の配線に達するコンタクトホールを形成する工程と、前記絶縁膜上に、前記コンタクトホールによって第 1 の配線に電氣的に接続された第 2 の配線を形成する工程と、を有し、前記コンタクトホールは、前記第 3 の導電層を貫通して、前記第 2 の導電層を露出しており、前記第 2 の配線は前記露出された第 2 の導電層と接していることを特徴とする半導体装置の作製方法である。

【0035】上記構成（8）乃至（10）のいずれか 1 において、前記第 2 の導電層は、アルミニウム又はチタンを主成分とする材料で形成されていることを特徴としている。

【0036】上記構成（8）乃至（10）のいずれか 1 において、前記第 1 の配線は、薄膜トランジスタのゲート配線であることを特徴としている。

【0037】また、本発明の他の構成（11）は、n チャネル型薄膜トランジスタと p チャネル型薄膜トランジスタでなる CMOS 回路を含む半導体装置であって、前記 CMOS 回路は、前記 n チャネル型の薄膜トランジスタの半導体層と前記 p チャネル型の薄膜トランジスタの半導体層とにゲート絶縁膜を介して交差するゲート配線を有し、前記ゲート配線は、前記ゲート絶縁膜に接して積層された第 1 の導電層、第 2 の導電層、第 3 の導電層とでなる多層膜で形成され、前記 p チャネル型の薄膜トランジスタの半導体層には、前記ゲート配線と重ならない p 型の不純物領域が形成され、前記 n チャネル型の薄膜トランジスタの半導体層は、チャネル形成領域と、第 1 の n 型不純物領域と、前記チャネル形成領域と前記第 1 の n 型不純物領域に挟まれ、かつ前記チャネル形成領

域に接する第 2 の n 型不純物領域と、前記第 1 の n 型不純物領域と前記第 2 の n 型不純物領域に挟まれた第 3 の n 型不純物領域とを有し、前記第 2 の n 型不純物領域及び前記第 3 の n 型不純物領域は、前記第 1 の n 型不純物領域よりも n 型の不純物の濃度が低く、前記第 2 の n 型不純物領域は前記ゲート絶縁膜を介して前記ゲート配線と重なり、前記第 3 の n 型不純物領域は前記ゲート配線と重ならないことを特徴とする半導体装置である。

【0038】上記各構成において、第 3 の導電層は、バルブ金属を主成分とする膜であることを特徴としている。

【0039】上記本発明を実施する上での作製方法に関する本発明の構成（12）は、半導体層を形成する工程と、前記半導体層に接して絶縁膜を形成する工程と、前記絶縁膜に接し、かつ前記半導体層と交差する第 1 のフォトレジストマスクを形成する工程と、前記第 1 のフォトレジストマスクを介して、前記半導体層に n 型の不純物を高濃度に添加する第 1 の添加工程と、前記第 1 のフォトレジストマスクよりもチャネル長方向の幅が狭い第 2 のフォトレジストマスクを形成する工程と、前記第 2 のフォトレジストマスクを介して、前記半導体層に n 型の不純物を低濃度に添加する第 2 の添加工程と、前記絶縁膜を介して前記半導体層と交差するゲート電極を形成する工程とを有し、第 1 の導電層、第 2 の導電層、第 3 の導電層の順序で前記絶縁膜側から積層した多層膜で前記ゲート電極を形成することを特徴とする半導体装置の作製方法である。

【0040】また、作製方法に関する本発明の他の構成（13）は、第 1 の半導体層と、第 2 の半導体層とを形成する工程と、前記第 1 の半導体層及び前記第 2 の半導体層とに接して絶縁膜を形成する工程と、前記絶縁膜に接し、かつ前記第 1 の半導体層と交差する第 1 のフォトレジストマスクを形成する工程と、前記第 1 のフォトレジストマスクを介して、前記第 1 の半導体層に n 型の不純物を高濃度に添加する第 1 の添加工程と、前記第 1 のフォトレジストマスクよりもチャネル長方向の幅が狭い第 2 のフォトレジストマスクを形成する工程と、前記第 2 のフォトレジストマスクを介して、前記第 1 の半導体層に n 型の不純物を低濃度に添加する第 2 の添加工程と、前記絶縁膜に接し、かつ前記第 2 の半導体層と交差する第 3 のフォトレジストマスクを形成する工程と、前記第 3 のフォトレジストマスクを介して、前記第 2 の半導体層に p 型の不純物を高濃度に添加する第 3 の添加工程と、前記絶縁膜を介して前記半導体層と交差するゲート電極を形成する工程とを有し、第 1 の導電層、第 2 の導電層、第 3 の導電層の順序で前記絶縁膜側から積層した多層膜で前記ゲート電極を形成することを特徴とする半導体装置の作製方法である。

【0041】上記構成においてバルブ金属とは、アノード的に生成されたバリア型陽極酸化膜がカソード電流は

通すがアノード電流は通さない、即ち弁作用を示すような金属を指す。(電気化学便覧 第4版; 電気化学協会編, p370, 丸善, 1985)。

【0042】本願発明で用いるバルブ金属としては、代表的にはタンタル(Ta)、ニオブ(Nb)、ハフニウム(Hf)、ジルコニウム(Zr)等が挙げられる。特にタンタルはアルミニウムを主成分とする薄膜と同じ電解溶液で陽極酸化できることが確認されており、本願発明に好適である。また、モリブデンタンタル(MoTa)のようなタンタル合金を用いることも可能である。

【0043】また、上記構成をアクティブマトリクス型液晶表示装置に当てはめて見ると、第1の配線とは複数のTFTにゲート信号を供給するゲート配線に相当し、第2の配線とはゲート配線に対して外部からの信号を伝達する配線(上層配線と呼ぶ)に相当する。

【0044】なお、本明細書中、ゲート電極とはゲート絶縁膜を挟んで半導体層と交差している電極であって、半導体層に電界を印加して空乏層を形成するための電極である。即ち、ゲート配線において、ゲート絶縁膜を挟んで半導体層と交差している部分がゲート電極である。

【0045】また、本明細書中、層間絶縁膜上に設けられた上層配線において、ゲート電極と接触(コンタクト)している部分が取り出し電極である。

【0046】本発明においては、配線(電極を含む)を三層以上の積層構造とすることを特徴としている。本明細書では、最下層は第1の導電層、最上層は第3の導電層を指し、第1の導電層と第3の導電層との間の層は、第2の導電層を指している。

【0047】

【本発明の実施の形態】本願発明の実施の形態を図1(TFTを備えた半導体装置に当てはめた例を示した図)を用いて説明する。

【0048】図1(A)において、106はゲート配線、116は上層配線である。本願発明は、このゲート配線106と上層配線116のコンタクト構造およびその作製方法に関する技術である。

【0049】図1(A)をA-A'で切断した断面図を図1(C)に示す。図1(C)において、101は基板、102は下地膜、103はゲート絶縁膜であり、その上に酸化膜107で覆われた多層構造でなるゲート配線106が設けられている。

【0050】層間絶縁膜111、ゲート配線上部の酸化膜、及びゲート配線の最上層(第3の導電層106c)にはコンタクトホールが開口しており、その底部には第2の導電層106bが部分的に露出している。取り出し電極115にはコンタクトホールを介して第2の導電層106bに電気接続され、配線間の導通接続がとられる。

【0051】上述した第3の導電層106cに用いられる材料としては、後工程で高温(400℃以上)にさら

されるため、所定の耐熱性を有するバルブ金属材料から適宜選択する。

【0052】また、上述した第2の導電層106bに用いられる材料としては、第3の導電層をエッチングする際、第2の導電層106bがエッチングストッパーとして効果的に機能する材料を選択する。さらに、後工程で高温にさらされるため、第2の導電層106bを耐熱性の高い第1の導電層106a上に設ける。加えて、耐熱性を向上させるため第2の導電層106bの側部を酸化膜107で保護することが好ましい。

【0053】そして、ゲート配線106を覆って層間絶縁膜111を設け、ゲート配線とのコンタクト部分にコンタクトホールを形成する。コンタクトホールの形成にはドライエッチング法を用い、層間絶縁膜111、酸化膜107、第3の導電層106cの順に連続的に除去する。本発明のゲート配線106とのコンタクト部分においては第3の導電層106cを選択的に除去する際、第2の導電層106bとしてエッチングレートの低い導電材料を選択するため、第2の導電層106bがストッパーとなってエッチングが止まる。

【0054】なお、エッチング条件によっては第3の導電層106cが残ってしまう場合もあるが、本願発明の効果を何ら妨げる要因とはならない。

【0055】コンタクトホールを形成したら、金属導電材料でなる上層配線116を形成して第2の導電層106bとのオーミック接触を実現する。なお、第3の導電層106cとも接触するが、断面のみで接することになるのでオーミック接触には殆ど寄与しないと考えられる。

【0056】このようにゲート配線106を三層以上の積層構造とすることで、ドライエッチングにより歩留りよく良好なコンタクトホール形状を形成し、確実なオーミック接触を実現できる点が本願発明の最も大きな特徴である。即ち、クロム混酸のような人体に有害なエッチャントを使用する必要のないプロセスとすることができ、工業上非常に有効である。

【0057】また、本願発明を実施することでTFT構造も特徴的なものとなる。図1(A)のTFT部をB-B'で切断した断面図を図1(C)に示す。

【0058】図1(C)に示すTFT部は、簡略化したCMOS回路のnチャネル型のTFTとpチャネル型のTFTである。いずれのTFT(薄膜トランジスタ)も基板101上に設けられた下地膜102上に結晶質半導体膜からなる半導体層が所定の形状にパターンニング形成されている。

【0059】CMOS回路のnチャネル型のTFTは、半導体層として、チャネル形成領域104と、LDD領域(本明細書中では低濃度不純物領域またはn<sup>-</sup>領域ともいう)108と、第1の不純物領域(n<sup>+</sup>領域)109とから成っている。なお、ゲート絶縁膜103を介し

てLDD領域108の全域がゲート電極に重なっているのではなく、その一部のみが重なっている。即ち、LDD領域108は、ゲート電極と重なっている部分(第2の不純物領域)と、重なっていない部分(第3の不純物領域)とが複合された状態を実現している。

【0060】さらにチャネル形成領域104上にはゲート絶縁膜103が設けられ、前記チャネル形成領域の上方において前記ゲート絶縁膜上に接してゲート電極105が設けられている。このゲート電極の表面には、酸化膜107が設けられており、その上を覆って層間絶縁膜111が設けられている。

【0061】また、ゲート電極は、三層以上の積層構造を有しており、ゲート電極の第1の導電層105aは、第2の導電層105bの成分物質がゲート絶縁膜103を通して半導体層、特にチャネル形成領域104へと拡散することを防ぐブロッキング層として機能する。

【0062】一方、pチャネル型TFTには、半導体層として第1の不純物領域( $p^+$ 領域)110とチャネル形成領域100とが設けられている。また、pチャネル型TFTは半導体層及び配線以外は、nチャネル型TFTと同一構造である。

【0063】また、112、113、114はそれぞれ導電膜からなるソース配線またはドレイン配線であり、図1(C)に示した取り出し電極115と同一材料で、同一層に形成される。

【0064】以上の構成でなる本願発明について、以下に記載する実施例でもって詳細な説明を行うこととする。

#### 【0065】

【実施例】以下に本発明の実施例を説明するが、特にこれらの実施例に限定されないことは勿論である。

【0066】〔実施例1〕 以下、図1～5を用いて、本発明の実施例を詳細に説明する。本願発明を利用したコンタクト構造を備えた半導体装置について、その構造の一例を説明する。本発明にかかる半導体装置は、同一基板上に周辺駆動回路部と画素部とを備えている。本実施例では図示を容易にするため、周辺駆動回路部の一部を構成するCMOS回路を図1に示し、画素部の一部を構成する画素TFT(nチャネル型TFT)とを図4に示した。

【0067】図1(A)は図1(C)の上面図に相当する図であり、図1(A)において、破線A-A'で切断した部分が、CMOS回路のコンタクト部の断面構造に相当し、破線B-B'で切断した部分が、図1(C)のTFTの断面構造に相当する。また、図1(B)はCMOS回路の簡略な等価回路図である。

【0068】図1(C)において、いずれのTFT(薄膜トランジスタ)も基板101上に設けられた下地膜102上に結晶質半導体膜からなる半導体層が所定の形状にパターンニング形成されている。

【0069】CMOS回路のnチャネル型のTFTは、半導体層として、チャネル形成領域104と、前記チャネル形成領域の両側に接して設けられたLDD領域108と、前記LDD領域108に接して設けられた第1の不純物領域( $n^+$ 領域)109とから成っている。第1の不純物領域( $n^+$ 領域)109は、TFTのソース領域またはドレイン領域として機能する。さらにチャネル形成領域104上にはゲート絶縁膜103が設けられ、前記チャネル形成領域の上方において前記ゲート絶縁膜上に接してゲート電極105が設けられている。このゲート電極の表面には、陽極酸化膜107が設けられており、その上を覆って層間絶縁膜111が設けられている。そして、 $n^+$ 領域109にソース配線112またはドレイン配線113が接続されている。さらに、その上を覆ってパッシベーション膜(図示しない)が設けられている。

【0070】一方、pチャネル型TFTの場合には、半導体層として第1の不純物領域( $p^+$ 領域)110とチャネル形成領域100とが設けられている。pチャネル型TFTはこうしたLDD構造となる低濃度不純物領域は設けないものとする。勿論、低濃度不純物領域を設ける構造としても良いが、pチャネル型TFTはもともと信頼性が高いため、オン電流を稼いでnチャネル型TFTとの特性バランスをとった方が好ましい。特に、CMOS回路に適用する場合には、この特性のバランスをとることが重要である。但し、LDD構造をpチャネル型TFTに適用しても何ら問題はない。そして、 $p^+$ 領域110にソース配線114またはドレイン配線113が接続されている。さらに、その上を覆ってパッシベーション膜(図示しない)が設けられている。pチャネル型TFTは半導体層及び配線以外は、nチャネル型TFTと同一構造である。

【0071】また、CMOS回路のゲート配線と取り出し電極115のコンタクト部においては、基板101上に下地膜102とゲート絶縁膜103とが積層されている。そして、ゲート絶縁膜上にnチャネル型TFT及びpチャネル型TFTのゲート電極105を含むゲート配線106が設けられている。本実施例では、ゲート配線として、ゲート電極と同様に第1の導電層106a、第2の導電層106b、第3の導電層106cからなる三層構造で構成した。そして、取り出し電極115は、ゲート電極の第2の導電層106bと良好なコンタクトを形成している。さらに、その上を覆ってパッシベーション膜(図示しない)が設けられている。

【0072】また、図4(A)は図4(B)の上面図に相当する図であり、図4(A)において、点線A-A'で切断した部分が、図4(B)の画素部の断面構造に相当する。

【0073】図4(A)及び(B)に示した画素部に形成されたnチャネル型TFTについては、層間絶縁膜を

設ける部分まで、CMOS回路のnチャネル型TFTと基本的には同一構造である。なお、図4の層間絶縁膜410は図1の層間絶縁膜111に相当する。図4中、400は基板、401は下地膜、402及び406は第1の不純物領域、404はチャネル形成領域、403及び405はLDD領域、408はゲート電極、409は酸化膜である。

【0074】そして、第1の不純物領域に接続される配線411、412を設け、その上を覆って、パッシベーション膜413を設け、その上に第2の層間絶縁膜414と、ブラックマスク415とが形成される。さらに、その上に第3の層間絶縁膜416が形成され、ITO、 $\text{SnO}_2$ 等の透明導電膜からなる画素電極417が接続される。ブラックマスクは画素TFTを覆い、且つ画素電極と保持容量を形成している。

【0075】本実施例では一例として透過型のLCDを作製したが特に限定されない。例えば、画素電極の材料として反射性を有する金属材料を用い、画素電極のパターニングの変更、または幾つかの工程の追加／削除を適宜行えば反射型のLCDを作製することが可能である。

【0076】なお、本実施例では、画素部の画素TFTのゲート配線をダブルゲート構造としているが、オフ電流のバラツキを低減するために、トリプルゲート構造等のマルチゲート構造としても構わない。また、開口率を向上させるためにシングルゲート構造としてもよい。

【0077】以上示したように、本実施例においては、ゲート電極105を、第1の導電層105a、第2の導電層105b、第3の導電層105cからなる三層構造で構成した。加えて、ゲート絶縁膜を介して半導体層に設けられたLDD領域と、ゲート電極がゲート絶縁膜に接している領域とが、部分的に重なって設けられている構造に特徴があり、また、その作製方法に特徴がある。

【0078】以下にその作製方法の一例を図2、図3、及び図5を用いて説明する。

【0079】まず、絶縁表面を有する基板101を用意する。基板101としては、ガラス基板、石英基板、結晶性ガラスなどの絶縁性基板を用いることができる。本実施例では、コーニング社の1737ガラス基板に代表される無アルカリガラス基板を用いた。次いで、基板101からの不純物の拡散を防止してTFTの電気特性を向上させるための下地絶縁膜（以下、下地膜と呼ぶ）102を設ける。その下地膜102の材料としては、酸化珪素膜、窒化珪素膜、窒化酸化珪素膜（ $\text{SiO}_x\text{N}_y$ ）、またはこれらの積層膜等を10～500nmの膜厚範囲で用いることができ、形成手段としては熱CVD法、プラズマCVD法、スパッタ法、減圧熱CVD法等の形成方法を用いることができる。ただし、TFTの電気特性を向上する必要がある下地膜を設けない構成としても構わない。本実施例では、プラズマCVD法により酸化シリコン膜でなる下地膜102を200n

mの厚さに形成した。

【0080】また、基板表面に上記下地膜を設ければ、セラミックス基板、ステンレス基板、金属（タンタル、タングステン、モリブデン等）、半導体基板、プラスチック基板（ポリエチレンレフラレート基板）等を基板101として用いることもできる。

【0081】次いで、非晶質半導体膜を成膜する。非晶質半導体膜としては、珪素を含む非晶質半導体膜、例えば非晶質珪素膜、微結晶を有する非晶質珪素膜、微結晶珪素膜、非晶質ゲルマニウム膜、 $\text{SixGe}_{1-x}$ （ $0 < x < 1$ ）で示される非晶質シリコンゲルマニウム膜またはこれらの積層膜を10～100nm、より好ましくは15～60nmの膜厚範囲で用いることができる。非晶質半導体膜の形成手段としては熱CVD法、プラズマCVD法、減圧熱CVD法、スパッタ法等の形成方法を用いることができる。本実施例では、膜厚50nmの非晶質珪素膜501をプラズマCVD法で形成した。（図5（A））

【0082】次いで、非晶質半導体膜の結晶化処理を行い、結晶質半導体膜を形成する。ただし、非晶質半導体膜の水素濃度が数十%と高い場合は、結晶化処理前に水素濃度の低減処理（400～500℃の熱処理）を行うことが好ましい。本実施例では、500℃、2時間の加熱処理を行ない、非晶質珪素膜の含有水素量を5atoms%以下とした。結晶化処理としては、公知の如何なる手段、例えば熱結晶化処理、赤外光または紫外光の照射、レーザー光の照射による結晶化処理、触媒元素を用いた熱結晶化処理等、またはこれらの結晶化処理を組み合わせた処理を用いることができる。本実施例では、パルス発振型のKrFエキシマレーザー光を線状に集光して非晶質珪素膜503に照射し、結晶質珪素膜505を形成した。（図5（B））

【0083】また、上記結晶化工程の前または後に非晶質半導体膜へ不純物の添加を行ない、TFTのしきい値制御を行う工程を加えてもよい。しきい値制御を行う場合、例えば、非晶質半導体上に制御絶縁膜（膜厚100～200nm）を設けて、ボロンをしきい値制御が可能な濃度範囲（SIMS分析で $1 \times 10^{15} \sim 1 \times 10^{17} \text{atoms/cm}^3$ ）に添加し、その後、制御絶縁膜を除去する工程を施せばよい。

【0084】こうして形成された結晶質珪素膜505をパターニングして、島状の半導体層（活性層ともいう）201、202を形成した。

【0085】次に、半導体層201、202を覆って、ゲート絶縁膜103を形成する。ゲート絶縁膜103としては、酸化珪素膜、窒化珪素膜、窒化酸化珪素膜（ $\text{SiO}_x\text{N}_y$ ）、有機樹脂膜（BCB（ベンゾシクロブテン）膜）、またはこれらの積層膜等を50～400nmの膜厚範囲で用いることができる。ゲート絶縁膜103の形成手段としては熱CVD法、プラズマCVD法、減

圧熱CVD法、スパッタ法、塗布法等の形成方法を用いることができる。本実施例では、プラズマCVD法により膜厚120nmの酸化珪素膜を形成した。(図2

(A))なお、本実施例においては、半導体層のパターニングを結晶化工程の後に行う例を示したが、特に限定されず、例えばゲート絶縁膜を形成した後、半導体層のパターニングを行ってもよい。

【0086】次に、フォトリソ膜をパターニングして、pチャネル型TFTを形成する領域を覆うレジストマスク204及びnチャネル型TFTの一部を覆うレジストマスク203を形成し、レジストマスク203、204をマスクとして半導体層201にn型を付与する不純物の添加を行った。添加方法としては、イオン注入法、イオンドーピング法を用いることができる。n型の不純物はドナーとなる不純物であり、シリコン、ゲルマニウムに対しては15族元素であり、典型的にはりん(P)、ヒ素(As)である。本実施例では、n型を付与する不純物としてリンを用い、フォスフィン(PH<sub>3</sub>)を用いたイオンドープ法によりゲート絶縁膜を通して半導体層201に不純物の添加を行った。こうして形成された不純物領域205は、後に示すnチャネル型TFTのLDD領域108を形成することになる。従って、この領域のリンの濃度を、 $1 \times 10^{16} \sim 1 \times 10^{19}$  atoms/cm<sup>3</sup>、代表的には $1 \times 10^{17} \sim 5 \times 10^{18}$  atoms/cm<sup>3</sup>、本実施例では $1 \times 10^{18}$  atoms/cm<sup>3</sup>とした。また、レジストマスク203で覆われた領域は図2(B)の添加工程で不純物が添加されないため、チャネル形成領域104となる。即ち、このレジストマスク203によって、nチャネル型TFTのチャネル形成領域の長さが決定される。また、レジストマスク203は、後で形成されるゲート電極の幅よりもチャネル長方向の幅が狭い。従って、後で形成されるゲート電極の下に不純物領域(n<sup>-</sup>領域)を形成することができる。

【0087】次に、レジストマスク203、204を除去して活性化処理を行い、活性化された不純物領域を形成した。半導体層中に添加された不純物元素は、レーザーアニール法や、熱処理により活性化させる必要があった。この活性化工程は、ソース領域・ドレイン領域を形成する不純物添加の工程の後実施してもよいが、後で形成されるゲート電極と重なる不純物領域の活性化が行えるため、この段階で熱処理により活性化させることは効果的であった。

【0088】次いで、ゲート絶縁膜103上に多層構造を有するゲート配線(ゲート電極206を含む)207を形成する。(図2(C))ゲート配線207の形成手段としてはスパッタ法、蒸着法、熱CVD法、プラズマCVD法等を用いて10~1000nm、好ましくは30~400nmの膜厚範囲の導電積層膜を形成した後、公知のパターニング技術で形成する。また、ゲート配線の長さ(線幅)は、0.1~10μm(代表的には0.

2~5μm)とする。この時、全てのゲート配線は、以降の陽極酸化工程のために接続した状態で形成する。

【0089】本発明においては、ゲート配線207(ゲート電極206を含む)を三層以上の積層構造とすることを特徴としている。なお、ゲート配線の断面形状はテーパ形状とするとカバレッジが良好になるため望ましい。

【0090】第1の導電層207aはバルブ金属、例えば、タンタル(Ta)、ハフニウム(Hf)、ニオブ(Nb)、ジルコニウム(Zr)等を主成分(組成比が50%以上)とする材料で形成することができる。ただし、第1の導電層として、ゲート配線材料を構成する元素の拡散を防止するブロッキング層となる材料を選択する必要がある。そのため、第1の導電層として、融点が低温プロセス上限温度の600℃以上、好ましくは1000℃以上の材料を選択することが好ましい。また、他の材料として、リンを含有するn型のシリコン、シリサイド等の材料を用いることもできる。

【0091】第2の導電層207bはアルミニウム(Al)、チタン(Ti)、銅(Cu)、クロム(Cr)、タングステン(W)、モリブデン(Mo)を主成分(組成比が50%以上)とする材料等で形成することができる。また、第2の導電層の材料の選択する他の指標として、第2の導電層はできるだけ抵抗率の低い、少なくとも第1の導電層206aよりもシート抵抗が低い材料とすることが望まれる。これは、ゲート配線と上層配線との接続を第2の導電層でとるためである。従って、第2の導電層207bとしてアルミニウム(Al)を主成分とする材料で形成することが最適である。

【0092】第3の導電層207cはバルブ金属、例えば、タンタル(Ta)、ハフニウム(Hf)、ニオブ(Nb)、ジルコニウム(Zr)等を主成分(組成比が50%以上)とする材料で形成することができる。ただし、第3の導電層207cは、ゲート配線と上層配線との接続を第2の導電層でとるため、第2の導電層207bと十分なエッチング比を有する材料が望まれる。例えば、CHF<sub>3</sub>ガスを用いたドライエッチング工程においては、タンタル(Ta)を主成分(組成比が50%以上)とする材料は、アルミニウムと十分なエッチング比を有するため第3の導電層の材料として適している。

【0093】例えば、第1の導電層/第2の導電層/第3の導電層としては、Ta/Al/Ta、Ta<sub>2</sub>N/Al/Ta、MoTa/Al/Ta、Ta/Ti/Ta等の組み合わせを選択することができる。本実施例では、スパッタ法により積層成膜した後、パターニングして第1の導電層207a(Ta:20nm)/第2の導電層207b(Al:200nm)/第3の導電層207c(Ta:130nm)の三層構造からなるゲート配線207を形成した。なお、本実施例において、第1の導電層の膜厚範囲としては5~50nm、第2の導電層の膜

厚範囲としては5~300nm、第3の導電層の膜厚範囲としては5~300nmとすればよい。(図2

(D))ここでは、図示しないが、ドライエッチングによりゲート配線のパターンニングを行う際、ゲート絶縁膜も多少エッチングされる。

【0094】次いで、陽極酸化工程を行ない、第2の導電層207bの側部に酸化膜107を形成する。この時同時に、選択したゲート配線の材料によって、第1の導電層または第3の導電層表面に酸化膜が形成される。陽極酸化は、中性の電解溶液中で行われ、例えば3%の酒石酸を含んだエチレングリコール溶液をアンモニア水で中和した電解溶液(液温10℃)を使用し、ゲート配線を陽極、白金を陰極として陽極酸化が行われる。なお、第3の導電層がほとんど酸化され、第2の導電層の上部にアルミナ膜が形成されないように、第3の導電層が残存するような陽極酸化条件とする必要がある。

【0095】この陽極酸化で得られる陽極酸化膜は緻密な膜質を有するため、ドーピング工程や熱処理を加えても、膜剥がれやヒロック等が発生することを防止できる。配線の耐熱性を確保するためには、第2の導電層の側部に10nm以上、好ましくは30nm以上の膜厚を形成することが望ましい。本実施例では、化成電圧を40Vとし、第2の導電層の側部に60nmの陽極酸化膜が形成された。(図2(D))本実施例では、アルミニウムは内側に酸化が進行するため、図2(D)に示す電極形状となる。即ち、第2の導電層は第1の導電層または第3の導電層に比べて(チャネル長方向における)線幅が狭くなる。なお、図2(D)では、酸化膜107は、組成の異なる酸化膜であるが、簡略化のため単一膜として示した。また、陽極酸化後のゲート配線を106、ゲート電極を105で示し、さらに、陽極酸化後の第1の導電層を105a、106a、第2の導電層を105b、106b、第3の導電層を105c、106cで示した。

【0096】次に、フォトリソ膜をパターンニングして、pチャネル型TFTを形成する領域を覆うレジストマスク209及びnチャネル型TFTの一部を覆うレジストマスク208を形成し、レジストマスク208、209をマスクとして半導体層に2回目のn型を付与する不純物の添加を行った。このレジストマスク208はゲート電極105の幅よりもチャネル長方向の幅が広い。また、このレジストマスク208によって、第1の不純物領域(n<sup>+</sup>領域)の長さが決定される。ここでは、前述の添加工程と同様に、ゲート絶縁膜を通してその下の半導体層にリンを添加した。こうして形成された第1の不純物領域210は、後に示すnチャネル型TFTのソース領域またはドレイン領域を形成することになる。従って、この領域のリンの濃度を $1 \times 10^{19} \sim 1 \times 10^{21}$  atoms/cm<sup>3</sup>、代表的には $1 \times 10^{20} \sim 5 \times 10^{20}$  atoms/cm<sup>3</sup>、本実施例では $5 \times 10^{20}$  atoms/cm<sup>3</sup>とした。こう

して、第1の不純物領域(n<sup>+</sup>領域)が形成される。

(図2(E))

【0097】また、図2(E)の添加工程でリンが添加されなかった領域のうち、ゲート電極105と重なっている(オーバーラップ)している領域は第2の不純物領域と呼び、ゲート電極105と重なっていない領域は第3の不純物領域と呼ぶ。なお、n<sup>-</sup>領域である第2の不純物領域及び第3の不純物領域のリンの濃度は、n<sup>+</sup>領域である第1の不純物領域よりも低い。

10 【0098】次に、レジストマスク208、209を除去した後、フォトリソ膜をパターンニングして、nチャネル型TFTを形成する領域を覆うレジストマスク211を形成し、ゲート電極をマスクとして半導体層202のみにp型を付与する不純物の添加を行った。添加方法としては、イオン注入法、イオンドーピング法を用いることができる。p型の不純物はアクセプターとなる不純物であり、シリコン、ゲルマニウムに対しては13族元素であり、典型的には、ボロン(B)である。本実施例では、p型を付与する不純物としてボロン(B)を用い、ジボラン(B<sub>2</sub>H<sub>6</sub>)を用いたイオンドープ法によりゲート絶縁膜を通して半導体層202に不純物の添加を行った。こうして形成された第1の不純物領域(p<sup>+</sup>領域)212は、後に示すpチャネル型TFTのソース領域またはドレイン領域となる。この領域のボロンの濃度を $1 \times 10^{19} \sim 1 \times 10^{21}$  atoms/cm<sup>3</sup>、本実施例では $5 \times 10^{20}$  atoms/cm<sup>3</sup>とした。

20 【0099】また、ゲート電極の真下にあたる領域にはボロンが添加されず、pチャネル型TFTのチャネル形成領域100が画定した。(図3(A))

30 【0100】本実施例では、n<sup>+</sup>領域を形成するための不純物添加工程の後にp<sup>+</sup>領域を形成するための不純物添加工程を行ったが、工程順序を変更し、p<sup>+</sup>領域を形成するための不純物添加工程の後に、n<sup>+</sup>領域を形成するための不純物添加工程を行ってもよい。

40 【0101】次いで、レジストマスク211を除去し、半導体層に添加されたn型またはp型を付与する不純物元素を有効に作用させるための活性化工程(300~700℃の熱処理)を行い、活性化された第1の不純物領域(n<sup>+</sup>領域)109及び第1の不純物領域(p<sup>+</sup>領域)110を形成する。(図3(B))本実施例では窒素雰囲気中において、500℃、2時間の加熱処理を行ない活性化を行った。本実施例では、ゲート配線及び電極を構成する第2の導電層105b、106bとしてアルミニウムを用いたが、第2の導電層は第1の導電層と第3の導電層に挟まれ、さらに第2の導電層の側部は緻密な陽極酸化膜で覆われているため、熱処理を加えてもヒロックの発生やアルミニウム元素の他の領域への拡散等を抑止することができた。なお、活性化工程には、熱処理だけでなくレーザや、赤外線ランプ光による光アニールを行うこともできる。



【0102】次いで、図示しないが、陽極酸化を行うために1つの配線に接続されているゲート配線をエッチングにより分断し、所望の形状のゲート配線及びゲート電極を形成した。

【0103】次いで、nチャネル型TFT及びpチャネル型TFTを覆って層間絶縁膜を形成する。層間絶縁膜111としては酸化珪素膜、窒化珪素膜、酸化窒化珪素膜、有機性樹脂膜（ポリイミド膜、BCB膜等）のいずれか或いはそれらの積層膜を用いることができる。本実施例では、図示しないが、最初に窒化珪素膜を50nm形成し、さらに酸化珪素膜を950nm形成した2層構造とした。（図3（C））

【0104】層間絶縁膜111を形成したら、次にパターニングでそれぞれのTFTの第1の不純物領域（ソース領域またはドレイン領域）109、110に達するコンタクトホールを形成した。また、同時に上層配線とゲート配線106とのコンタクトを形成するためのコンタクトホールを形成した。（図3（D））

【0105】上記作製工程において、取り出し電極とゲート配線とのコンタクトを形成するためのコンタクトホールを形成する際、従来ではゲート配線の上面を中性電解溶液を用いた陽極酸化膜（アルミナ）で覆っていたため、通常のエッチングで除去が困難であった。しかし、本発明のゲート配線106の上面は、第3の導電層（タンタル）の陽極酸化膜で覆われているため、フッ素系（ $\text{CHF}_3$ 等）のドライエッチングで容易に除去することができる。さらに、第2の導電層（アルミニウム）は、フッ素系（ $\text{CHF}_3$ 等）のドライエッチングのエッチングレートが非常に小さいため、十分エッチングストッパーとして機能する。ただし、このエッチングの際にTFTの第1の不純物領域がオーバーエッチングされないよう注意が必要である。

【0106】このように三層以上の積層構造を有するゲート配線とすることにより、上層配線とゲート配線との良好なオーミック接触が取れるのでコンタクト不良が生じることを防ぐことができた。また、第2の導電層は、耐熱性が低いアルミニウムを主成分とする材料からなるが、側面に陽極酸化膜が設けられ、加えて上面に接して第3の導電層が設けられ、さらに下面に接して第1の導電層が設けられているため、後の工程でドーピング工程や熱処理を加えても膜剥がれやヒロック等が発生することを防止できた。

【0107】ただし、本実施例のように、ソース領域またはドレイン領域に達するコンタクトホールと、取り出し電極とゲート配線とのコンタクトを形成するためのコンタクトホールとを同時形成する場合は、ゲート絶縁膜の膜厚と、ゲート配線上部に設けられた陽極酸化膜の膜厚を実施者が適宜調節する必要がある。 $\text{CHF}_3$ ガスを用いたドライエッチングにおいて、ゲート絶縁膜を構成する酸化珪素のエッチングレートは、タンタルオキシ

ドの3倍である。従って、ゲート絶縁膜の膜厚を120nmとした場合、ゲート配線上部に設けられた陽極酸化膜の膜厚を40nm以下としなければ、酸化膜が残存してしまいオーミック接触をとることができなくなるため、注意が必要である。

【0108】次いで、ソース配線（またはソース電極）112、114、ドレイン配線（またはドレイン電極）113、及び上層配線116（または取り出し電極115）を形成した。図示していないが、本実施例ではこの電極112～114をチタン膜（膜厚100nm）、チタンを含むアルミニウム膜（膜厚300nm）、チタン膜（膜厚150nm）をスパッタ法で連続して形成した3層構造の膜をパターニングして形成した。（図3

（E））最後に水素雰囲気中で熱処理を行い、全体を水素化した。この段階で図1（C）に示されるCMOS回路（nチャネル型TFT及びpチャネル型TFT）が完成した。

【0109】図3（E）の状態が形成されたら、0.2～0.4 $\mu\text{m}$ のパッシベーション膜（窒化珪素膜）413を形成した。パッシベーション膜を形成した後、さらに有機樹脂からなる第2の層間絶縁膜414を約2 $\mu\text{m}$ の厚さに形成した。本実施例では、基板に塗布後、熱重合するタイプのポリイミドを用い、300℃に焼成して形成した。

【0110】次に、チタン膜でブラックマスク415を形成し、その上に第3の層間絶縁膜416を形成した。そして、第2の層間絶縁膜と第3の層間絶縁膜とを選択的にエッチングしてドレイン配線412に達するコンタクトホールを形成し、画素電極417を形成した。こうして画素部が完成した。

【0111】図4（B）の状態が形成されたら、配向膜（本実施例ではポリイミド）を形成した。対向側の基板には透明導電膜と配向膜とを形成した。この配向膜は形成された後、ラビング処理を施して液晶分子がある一定のプレチルト角をもって平行配向するようにした。

【0112】上記の工程を経て、画素部と、CMOS回路とが形成された基板と対向基板とを公知のセル組み工程によってシール材やスペーサなどを介して貼り合わせた。その後、両基板の間に液晶材料を注入して封止剤により完全に封止した。こうして液晶パネルが完成した。

【0113】〔実施例2〕 上記作製方法によって完成したnチャネル型TFTは、半導体層に2種類の低濃度不純物領域、即ち、ゲート電極と重なっている（オーバーラップ）している領域（第2の不純物領域）と、ゲート電極と重なっていない領域（第3の不純物領域）を有することで、MOSFETに匹敵する、さらにはそれ以上の信頼性を有する。

【0114】図1（C）に示したように、本実施例のnチャネル型のTFTは、ゲート絶縁膜103を介してLDD領域108の全域がゲート電極に重なっているの



はなく、その一部のみに重なっている。

【0115】この様子を図1(D)に示す。なお、図1(D)の符号は図1(C)の符号に対応している。図1(D)に示すように、LDD領域108は、ゲート電極105とゲート絶縁膜103を介して重なっている部分(Gate-overlapped LDD 領域108a)と重なっていない部分(non-Gate-overlapped LDD 領域108b)とに区別される。

【0116】本願発明では、Gate-overlapped LDD 領域108aの長さを0.1~2 $\mu$ m(代表的には0.3~1.5 $\mu$ m)とし、non-Gate-overlapped LDD 領域108b(図1(D)のXに相当する)を0.1~2 $\mu$ m(代表的には0.3~1 $\mu$ m)とするのが好ましいと考えている。

【0117】なお、LDD領域108は、0.2~4 $\mu$ m、代表的には0.6~2.5 $\mu$ mの長さを有し、n型を付与する不純物元素(周期律表の15族に属する元素、代表的にはリン又は砒素)の濃度が $1 \times 10^{16} \sim 1 \times 10^{19}$ atoms/cm<sup>3</sup>、代表的には $1 \times 10^{17} \sim 5 \times 10^{18}$ atoms/cm<sup>3</sup>である。また、第1の不純物領域(n<sup>+</sup>領域)109の不純物濃度は、 $1 \times 10^{19} \sim 1 \times 10^{21}$ atoms/cm<sup>3</sup>、代表的には $1 \times 10^{20} \sim 5 \times 10^{20}$ atoms/cm<sup>3</sup>とすれば良い。

【0118】また、チャネル形成領域104は真性な半導体層、またはあらかじめ $1 \times 10^{16} \sim 5 \times 10^{18}$ atoms/cm<sup>3</sup>の濃度でボロンが添加された半導体層で構成される。このボロンはしきい値電圧を制御するために添加されるものであり、同様の効果が得られるものであれば他の元素で代用することもできる。

【0119】(本発明の薄膜トランジスタの利点)本発明のTFTは第2の不純物領域(ゲートオーバーラップ型のLDD領域)と第3の不純物領域(非ゲートオーバーラップ型のLDD領域)という2種類のLDD領域(低濃度不純物領域)を半導体層に形成することに特徴がある。

【0120】図14を用いて、本発明の優位性を従来のTFTの特性と比較して説明する。図14(A)、

(B)はLDD領域のないnチャネル型TFTとその電気特性(ゲート電圧V<sub>g</sub>対ドレイン電流I<sub>d</sub>特性)である。同様に、図14(C)、(D)は通常のLDD構造の場合を、図14(E)、(F)はいわゆるGOLD構造の場合を、そして図14(G)、(H)には本発明のnチャネル型TFTの場合を示す。

【0121】なお、図14中においてn<sup>+</sup>はソース領域またはドレイン領域を、channelはチャネル形成領域を、nはゲートオーバーラップ型のLDD領域(nは第2の不純物領域)、nは非ゲートオーバーラップ型のLDD領域(nは第3の不純物領域)を指す。また、I<sub>d</sub>はドレイン電流、V<sub>g</sub>はゲート電圧である。

【0122】図14(A)、(B)に示すようにLDD

がない場合、オフ電流は高く、オン電流(TFTがオン状態にある時のドレイン電流)やオフ電流が劣化しやすい。

【0123】一方、非ゲートオーバーラップ型のLDDを形成することで、オフ電流はかなり抑えられ、オン電流もオフ電流も劣化が抑制できる。しかしながら、オン電流の劣化を完全に抑えられているわけではない。(図14(C)、(D))

【0124】LDD領域とゲート電極とがオーバーラップしたオーバーラップ型のLDDのみを持つTFT構造(図14(E)、(F))であるが、この構造は従来のLDD構造においてオン電流の劣化を抑制することに重点を置いた構造となっている。

【0125】この場合、オン電流の劣化を十分に抑えることができる反面、通常非オーバーラップ型のLDD構造よりもややオフ電流が高いという問題を持つ。従来例で述べた公開公報はこの構造を採用しており、本発明はこのオフ電流が高いという問題を認識した上で、解決するための構造を模索したのである。

【0126】そして、本発明の構造は図14(G)、

(H)に示すように、ゲート電極とオーバーラップさせたLDD領域(第2の不純物領域)と、ゲート電極とオーバーラップしないLDD領域(第3の不純物領域)を半導体層に形成した。この構造を採用することで、オン電流の劣化を抑制する効果をそのままに、オフ電流を低減することが可能となった。

【0127】本出願人は図14(E)、(F)に示したような構造の場合に何故オフ電流が高くなってしまいかを次のように推測した。nチャネル型TFTがオフ状態にある時、ゲート電極にはマイナス数十ボルトといった負の電圧が印加される。その状態でドレイン領域にプラス数十ボルトの正の電圧がかかっていると、ゲート絶縁膜のドレイン側端部に非常に大きな電界が形成される。

【0128】この時、LDD領域にはホールが誘起されて、ドレイン領域、LDD領域、チャネル形成領域をつなぐ少数キャリアによる電流経路が形成されてしまう。この電流経路がオフ電流の増加を招くと予想される。

【0129】本出願人は、このような電流経路を途中で遮断するために、ゲート電極とオーバーラップしない位置に別の抵抗体、即ち第3の不純物領域(LDD領域)を形成する必要があると考えた。本実施例はこのような構成を有する薄膜トランジスタと、この薄膜トランジスタを用いた回路に関するものである。

【0130】[実施例3] 本実施例では、実施例1において半導体層201、202として用いる結晶質半導体膜を、触媒元素を用いた熱結晶化法により形成する例を示す。触媒元素を用いる場合、特開平7-130652号公報、特開平8-78329号公報で開示された技術を用いることが望ましい。

【0131】ここで、特開平7-130652号公報に開示されている技術を本願発明に適用する場合の例を図6に示す。まず基板601に酸化シリコン膜602を設け、その上に非晶質珪素膜（アモルファスシリコンとも呼ぶ）603を形成した。さらに、重量換算で10ppmのニッケルを含む酢酸ニッケル塩溶液を塗布してニッケル含有層604を形成した。（図6（A））

【0132】次に、500℃、1時間の脱水素工程の後、500～650℃で4～24時間（本実施例では550℃、14時間）の熱処理を行い、結晶質珪素膜605を形成した。こうして得られた結晶質珪素膜（ポリシリコンとも呼ぶ）605は非常に優れた結晶性を有した。（図6（B））

【0133】また、特開平8-78329号公報で開示された技術は、触媒元素を選択的に添加することによって、非晶質半導体膜の選択的な結晶化を可能としたものである。同技術を本願発明に適用した場合について、図7で説明する。

【0134】まず、ガラス基板701に酸化シリコン膜702を設け、その上に非晶質珪素膜703、酸化シリコン膜704を連続的に形成した。

【0135】次に酸化シリコン膜704をパターニングして、選択的に開孔部705を形成し、その後、重量換算で10ppmのニッケルを含む酢酸ニッケル塩溶液を塗布した。これにより、ニッケル含有層706が形成され、ニッケル含有層706は開孔部705の底部のみで非晶質珪素膜702と接触した。（図7（A））

【0136】次に、500～650℃で4～24時間（本実施例では580℃、14時間）の熱処理を行い、結晶質珪素膜707を形成した。この結晶化の過程では、ニッケルが接した非晶質珪素膜の部分が最初に結晶化し、そこから横方向へと結晶化が進行する。こうして形成された結晶質珪素膜707は棒状または針状の結晶が集合して成り、その各々の結晶は巨視的にはある特定の方向性をもって成長しているため、結晶性が揃っているという利点がある。

【0137】尚、上記2つの技術において使用可能な触媒元素は、ニッケル（Ni）の以外にも、ゲルマニウム（Ge）、鉄（Fe）、パラジウム（Pd）、スズ（Sn）、鉛（Pb）、コバルト（Co）、白金（Pt）、銅（Cu）、金（Au）、といった元素を用いても良い。

【0138】以上のような技術を用いて結晶質半導体膜（結晶質珪素膜や結晶質シリコンゲルマニウム膜などを含む）を形成し、パターニングを行えば、TFTの半導体層を形成することができる。本実施例の技術を用いて、結晶質半導体膜から作製されたTFTは、優れた特性が得られるが、そのため高い信頼性を要求されていた。しかしながら、本願発明のコンタクト構造およびTFT構造を採用することで、本実施例の技術を最大限に

生かしたTFTを作製することが可能となった。

【0139】〔実施例4〕 本実施例は、実施例1で用いられる半導体層201、202を形成する方法として、実施例3のように非晶質半導体膜を初期膜として前記触媒元素を用いて結晶質半導体膜を形成した後で、その触媒元素を結晶質半導体膜から除去する工程を行った例を示す。本実施例ではその方法として、特開平10-135468号公報または特開平10-135469号公報に記載された技術を用いた。

10 【0140】同公報に記載された技術は、非晶質半導体膜の結晶化に用いた触媒元素を結晶化後にリンのゲッタリング作用を用いて除去する技術である。同技術を用いることで、結晶質半導体膜中の触媒元素の濃度を $1 \times 10^{17} \text{atoms/cm}^3$ 以下、好ましくは $1 \times 10^{16} \text{atoms/cm}^3$ にまで低減することができる。

【0141】本実施例の構成について図8を用いて説明する。ここではコーニング社の1737基板に代表される無アルカリガラス基板を用いた。図8（A）では、実施例2で示した結晶化の技術を用いて、下地膜802、20 結晶質珪素膜803が形成された状態を示している。そして、結晶質珪素膜803の表面にマスク用の酸化珪素膜804が150nmの厚さに形成され、パターニングにより開孔部が設けられ、結晶質珪素膜を露出させた領域を設けてある。そして、リンを添加する工程を実施して、結晶質珪素膜にリンが添加された領域805が設けられた。

【0142】この状態で、窒素雰囲気中で550～800℃、5～24時間（本実施例では600℃、12時間）の熱処理を行うと、結晶質珪素膜にリンが添加された領域805がゲッタリングサイトとして働き、結晶質珪素膜803に残存していた触媒元素はリンが添加された領域805に移動させることができた。

【0143】そして、マスク用の酸化珪素膜804と、リンが添加された領域805とをエッチングして除去することにより、結晶化の工程で使用した触媒元素の濃度を $1 \times 10^{17} \text{atoms/cm}^3$ 以下にまで低減された結晶質珪素膜を得ることができた。この結晶質珪素膜はそのまま実施例1で示した本願発明のTFTの半導体層として使用することができた。

40 【0144】〔実施例5〕 本実施例では、実施例1で示した本願発明のTFTを作製する工程において、半導体層201、202とゲート絶縁膜103を形成する他の実施形態を示す。

【0145】ここでは、少なくとも700～1100℃程度の耐熱性を有する基板が必要であり、石英基板901が用いられた。そして実施例3及び実施例4で示した技術を用い、結晶質半導体膜が形成され、これをTFTの活性層にするために、島状にパターニングして半導体層902、903を形成した。そして、半導体層902、903を覆って、ゲート絶縁膜904を、酸化珪素

を主成分とする膜で形成した。本実施例では、プラズマ CVD 法で窒化酸化珪素膜を 70 nm の厚さで形成した。(図 9 (A))

【0146】そして、ハロゲン(代表的には塩素)と酸素を含む雰囲気中で熱処理を行った。本実施例では、950℃、30分とした。尚、処理温度は700~1100℃の範囲で選択すれば良く、処理時間も10分から8時間の間で選択すれば良かった。(図 9 (B))

【0147】その結果、本実施例の条件では、半導体層 902、903 とゲート絶縁膜 904 との界面で熱酸化膜が形成され、ゲート絶縁膜 907 が形成された。

【0148】以上の工程で作製されたゲート絶縁膜 907 は、絶縁耐圧が高く半導体層 905、906 とゲート絶縁膜 907 の界面は非常に良好なものであった。本発明の TFT の構成を得るためには、以降の工程は実施例 1 に従えば良い。

【0149】勿論、本実施例に実施例 3 や実施例 4 を組み合わせることは実施者が適宜決定すれば良い。

【0150】[実施例 6] 本実施例では、実施例 1 と異なる工程順序で結晶質 TFT を作製する例を示す。具体的には実施例 4 で示したリンによるゲッタリング工程の別形態について説明する。なお、基本的な工程は図 2 または図 3 に従うものであるので、相違点のみに着目して説明する。

【0151】まず、実施例 1 の工程に従って図 3 (A) の状態を得た。ただし、TFT の活性層となる半導体層の形成には実施例 3 に示した熱結晶化技術を用いている。

【0152】ただし、本実施例では、n チャネル型 TFT の第 1 の不純物領域 210、並びに p チャネル型 TFT の第 1 の不純物領域 212 に  $1 \times 10^{19} \sim 1 \times 10^{21}$  atoms/cm<sup>3</sup> (好ましくは  $5 \times 10^{20}$  atoms/cm<sup>3</sup>) の濃度でリンを添加する。

【0153】本実施例ではこの状態で、窒素雰囲気中で 500~800℃、1~24 時間、例えば 600℃、12 時間の加熱処理の工程を行う。この工程により、添加された n 型及び p 型を付与する不純物元素を活性化することができた。さらに、結晶化工程の後残存していた触媒元素(本実施例ではニッケル)が移動し、前述の第 1 の不純物領域に含まれたリンの作用によって同領域にゲッタリング(捕獲)することができた。その結果、チャネル形成領域からニッケルを  $1 \times 10^{17}$  atoms/cm<sup>3</sup> 以下にまで低減することができた。

【0154】以降の工程は実施例 1 の工程に従い、半導体装置を作製することができた。

【0155】なお、本実施例の構成は実施例 3~実施例 5 のいずれの構成とも自由に組み合わせることが可能である。

【0156】[実施例 7] 本実施例では、実施例 1 と異なる工程順序で結晶質 TFT を作製する例を示す。具

体的には実施例 4 で示したリンによるゲッタリング工程とは異なるゲッタリング工程について説明する。なお、基本的な工程は図 2 または図 3 に従うものであるので、相違点のみに着目して説明する。

【0157】まず、実施例 1 の工程に従って図 10 (A) の状態を得た。ただし、TFT の活性層となる結晶質珪素膜 1105 の形成には実施例 3 に示した熱結晶化技術を用いている。

【0158】次いで、基板 1101 ごと 300℃に加熱した液相中(本実施例では硫酸溶液中)に浸し、結晶化に用いたニッケルを除去または低減する。本実施例では活性層をパターニングする前にゲッタリングを行うが、活性層をパターニングした後に行っても良い。また、硫酸と接触させる他の手段として、加熱した硫酸溶液を基板上に均一に滴下する方法を用いてもよい。

【0159】本工程において、加熱した硫酸中でニッケルは溶解して溶け出し、表面近傍から容易に除去される。すると内部のニッケルは濃度の低い表面近傍に拡散してきてさらに多くのニッケルが溶けだす。この現象を繰り返して、結晶化に用いたニッケルを結晶質珪素膜から除去または低減する。このようにして、液相による触媒元素の低減処理を行うことで、結晶質珪素膜 1106 中の触媒元素の濃度を  $1 \times 10^{17}$  atoms/cm<sup>3</sup> 以下、好ましくは  $1 \times 10^{16}$  atoms/cm<sup>3</sup> にまで低減することができる。(図 10 (B))

【0160】なお、硫酸溶液と結晶質半導体膜との接触性を高めるために、予め結晶質半導体膜の表面の自然酸化膜等をフッ酸を含むエッチャント等により除去して清浄化することが望ましい。こうすることでゲッタリング効率を高めることができる。

【0161】また、本実施例ではニッケルを例にとって説明しているが、前述した他の触媒元素でも同様の現象によってゲッタリングされる。

【0162】以上の工程を経て得られた結晶質珪素膜 1106 を用いて、実施例 1 で説明したプロセスを用いれば、図 1 に示した TFT が得られる。

【0163】なお、本実施例の構成は実施例 3~実施例 6 のいずれの構成とも自由に組み合わせることが可能である。

【0164】[実施例 8] 上記各実施例では、n チャネル型 TFT の半導体層において、チャネル形成領域を挟んで左右対称に同じ幅(チャネル長方向における幅)の LDD 領域が形成されている。本実施例では、本発明を他の半導体層の配置、及び他の TFT 構造に適用した例を図 11 に示した。

【0165】図 11 (A) には、CMOS 回路の n チャネル型 TFT の半導体層において、チャネル形成領域を挟んで異なる幅(チャネル長方向における幅)の LDD 領域 301、302 を形成した。この LDD 領域の形成方法としては、実施例 1 に従い、実施例 1 における図 2

(B) のレジストマスク 203 及び図 2 (E) のレジストマスク 208 のパターン形状を適宜変更すれば、図 11 (A) に示す CMOS 回路を作製することができる。図 11 (A) 中において、300 はチャネル形成領域を指し、303、304 は、ソース領域またはドレイン領域を指している。

【0166】また、図 11 (B) には、本発明を逆スタガ型 TFT に適用した例を示した。コンタクト部においては、実施例 1 と同様に、上層配線 313 とゲート配線の第 2 の導電層 310 と電気的に接続している。図 11 (B) 中において 311 はゲート絶縁膜、312 は陽極酸化膜を示している。このように、本発明は、TFT 構造に関係なく適用することができる。

【0167】なお、本実施例の構成は実施例 3 ～実施例 7 のいずれの構成とも自由に組み合わせることが可能である。

【0168】【実施例 9】 本実施例では、実施例 1 における図 2 (E) の添加工程に先立ってゲート配線をマスクとして、ゲート絶縁膜 103 をエッチングして、半導体層 102 表面を露出させてから不純物の添加を行った例を図 15、図 16 に示す。なお、基本的な工程は図 2 または図 3 に従うものであるので、相違点のみに着目して説明する。

【0169】本実施例は、図 2 (D) に示す陽極酸化工程までは実施例 1 と同一である。図 15 (A) は図 2 (D) に相当する図である。簡略化するために図 2 (D) と同じ符号を用いる。

【0170】実施例 1 に従い、ゲート電極 105 及びゲート配線 106 を形成した。この時の断面の状態を示す TEM 写真を図 17 (A) に示し、図 17 (A) に対応する模式図を図 18 (A) に示した。この TEM 写真は、ゲート電極 105 近傍の拡大図である。

【0171】そして、ゲート配線形成工程後、陽極酸化を行ない図 15 (A) の状態を得た。この時の断面の状態を示す TEM 写真を図 17 (B) に示し、図 17 (B) に対応する模式図を図 18 (B) に示した。

【0172】次いで、反応ガスに  $\text{CHF}_3$  を用いてドライエッチングを行ない、ゲート配線 106 をマスクとして、ゲート絶縁膜 103 を選択的に除去して、半導体層の一部を露呈させた。(図 15 (B)) この時、同時にタンタルオキサイド膜も除去されるが、アルミナ膜 1102 は残る。エッチング条件によってはタンタルも僅かに除去される場合もある。ここでは、ゲート絶縁膜の材料及び膜厚、第 3 の導電層上部の酸化膜の膜厚等を考慮にいれ、エッチング条件を適宜調節する必要がある。さもないと、半導体層がオーバーエッチングされてしまう恐れがある。1101 は残存したゲート絶縁膜を指している。この時の断面の状態を示す TEM 写真を図 17 (C) に示し、図 17 (C) に対応する模式図を図 18 (C) に示した。図 18 (C) に示しめしたように、ゲ

ート電極の側壁には反応性生成物が形成されてしまうため、除去することが望ましいが、特に除去しなくともよい。

【0173】次いで、レジストマスク 1103、1104 を形成し、露呈した半導体層に 2 回目の不純物 (リン) の添加を行う。(図 15 (C)) 1105 は LDD 領域を指し、1106 は第 1 の不純物領域 ( $n^+$ ) を指している。

【0174】そして、レジストマスク 1103、1104 を除去して、 $n$  チャネル型 TFT を覆うレジストマスクを形成し、露呈した半導体層に不純物 (ボロン) の添加を行う。(図 15 (D)) 1107 はチャネル形成領域を指し、1108 は第 1 の不純物領域 ( $p^+$ ) を指している。

【0175】次いで、レジストマスクを除去して、活性化を行った。1109 は活性化された第 1 の不純物領域 ( $n^+$ ) を指し、1110 は活性化された第 1 の不純物領域 ( $p^+$ ) を指している。(図 15 (E)) そして、層間絶縁膜 1111 を形成した。(図 16 (A))

【0176】そして、レジストマスク (図示しない) を用いて  $\text{CF}_4$  または  $\text{CHF}_3$  を用いたドライエッチングにより層間絶縁膜を選択的に除去して、ソース領域またはドレイン領域に達するコンタクトホールを形成した。そして同時にゲート配線の第 2 の導電層に達するコンタクトホールを形成した。ただし、ソース領域及びドレイン領域がオーバーエッチングされないよう注意が必要である。本実施例は、実施例 1 と比較してゲート絶縁膜が除去されている分、容易にコンタクトホールを形成することができる。

【0177】次いで、ソース配線 (またはソース電極) 1112、1114、ドレイン配線 (またはドレイン電極) 1113、及び上層配線 (または取り出し電極) 1115 を形成した。(図 16 (C)) 最後に水素雰囲気中で熱処理を行い、全体を水素化した。この段階で図 16 (C) に示される CMOS 回路 ( $n$  チャネル型 TFT 及び  $p$  チャネル型 TFT) が完成した。

【0178】なお、図 18 中において、10 は下地膜、11 は半導体層、12 はゲート絶縁膜、13 はタンタル層、14 はアルミニウム層、15 はタンタル層、16 は無孔質状アルミナ層、17 はタンタルオキサイド、18 は反応性生成物をそれぞれ指している。

【0179】なお、本実施例の構成は実施例 3 ～実施例 7 のいずれの構成とも自由に組み合わせることが可能である。

【0180】【実施例 10】 本実施例では、本願発明によって作製された液晶表示装置の例を図 12 に示す。画素 TFT (画素スイッチング素子) の作製方法やセル組工程は公知の手段を用いれば良いので詳細な説明は省略する。

【0181】図 12 は、本実施例のアクティブマトリク

ス型液晶パネルの概略図である。図12に示すようにアクティブマトリクス基板と対向基板とが対向し、これらの基板間に液晶が挟まれている。アクティブマトリクス基板はガラス基板1000上に形成された画素部1001、走査線駆動回路1002、信号線駆動回路1003を有する。

【0182】走査線駆動回路1002、信号線駆動回路1003はそれぞれ走査線1030、信号線1040によって画素部1001に接続されている。これら駆動回路1002、1003はCMOS回路で主に構成されている。

【0183】画素部1001の行ごとに走査線1030が形成され、列ごとに信号線1040が形成されている。走査線1030、信号線1040の交差部近傍には、画素TFT1010が形成されている。画素TFT1010のゲート電極は走査線1030に接続され、ソースは信号線1040に接続されている。更に、ドレインには画素電極1060、保持容量1070が接続されている。

【0184】対向基板1080はガラス基板全面にITO膜等の透明導電膜が形成されている。透明導電膜は画素部1001の画素電極1060に対する対向電極であり、画素電極、対向電極間に形成された電界によって液晶材料が駆動される。対向基板1080には必要であれば配向膜や、ブラックマトリクスや、カラーフィルタが形成されている。

【0185】アクティブマトリクス基板側のガラス基板にはFPC1031を取り付ける面を利用してICチップ1032、1033が取り付けられている。これらのICチップ1032、1033はビデオ信号の処理回路、タイミングパルス発生回路、 $\gamma$ 補正回路、メモリ回路、演算回路などの回路をシリコン基板上に形成して構成される。

【0186】さらに、本実施例では液晶表示装置を例に挙げて説明しているが、アクティブマトリクス型の表示装置であればEL（エレクトロルミネッセンス）表示装置やEC（エレクトロクロミクス）表示装置に本願発明を適用することも可能であることは言うまでもない。

【0187】また、本願発明を用いて作製できる液晶表示装置は透過型か反射型かは問わない。どちらを選択するのも実施者の自由である。この様に本願発明はあらゆるアクティブマトリクス型の電気光学装置（半導体装置）に対して適用することが可能である。

【0188】なお、本実施例に示した半導体装置を作製するにあたって、実施例1～実施例9のどの構成を採用しても良いし、各実施例を自由に組み合わせて用いることが可能である。

【0189】〔実施例11〕 本願発明は従来のIC技術全般に適用することが可能である。即ち、現在市場に流通している全ての半導体回路に適用できる。例えば、

ワンチップ上に集積化されたRISCプロセッサ、ASICプロセッサ等のマイクロプロセッサに適用しても良いし、液晶用ドライバー回路（D/Aコンバータ、 $\gamma$ 補正回路、信号分割回路等）に代表される信号処理回路や携帯機器（携帯電話、PHS、モバイルコンピュータ）用の高周波回路に適用しても良い。

【0190】さらに、従来のMOSFET上に層間絶縁膜を形成し、その上に本願発明を用いて半導体回路を作製したような三次元構造の半導体装置を実現することも可能である。このように本願発明は現在LSIが用いられている全ての半導体装置に適用することが可能である。即ち、SIMOX、Smart-Cut（SOITEC社の登録商標）、ELTRAN（キャノン株式会社の登録商標）などのSOI構造（単結晶半導体薄膜を用いたTFT構造）に本願発明を適用してもよい。

【0191】また、マイクロプロセッサ等の半導体回路は様々な電子機器に搭載されて中枢回路として機能する。代表的な電子機器としてはパーソナルコンピュータ、携帯型情報端末機器、その他あらゆる家電製品が挙げられる。また、車両（自動車や電車等）の制御用コンピュータなども挙げられる。本願発明はその様な半導体装置に対しても適用可能である。

【0192】なお、本実施例に示した半導体装置を作製するにあたって、実施例1～実施例9のどの構成を採用しても良いし、各実施例を自由に組み合わせて用いることが可能である。

【0193】〔実施例12〕 本願発明を実施して形成されたCMOS回路や画素部は様々な電気光学装置（アクティブマトリクス型液晶ディスプレイ、アクティブマトリクス型ELディスプレイ、アクティブマトリクス型ECディスプレイ）に用いることができる。即ち、それら電気光学装置を表示部に組み込んだ電子機器全てに本願発明を実施できる。

【0194】その様な電子機器としては、ビデオカメラ、デジタルカメラ、プロジェクター（リア型またはフロント型）、ヘッドマウントディスプレイ（ゴーグル型ディスプレイ）、カーナビゲーション、カーステレオ、パーソナルコンピュータ、携帯情報端末（モバイルコンピュータ、携帯電話または電子書籍等）などが挙げられる。それらの一例を図13、図23及び図24に示す。

【0195】図13（A）はパーソナルコンピュータであり、本体2001、画像入力部2002、表示部2003、キーボード2004等を含む。本発明を画像入力部2002、表示部2003やその他の信号制御回路に適用することができる。

【0196】図13（B）はビデオカメラであり、本体2101、表示部2102、音声入力部2103、操作スイッチ2104、バッテリー2105、受像部2106等を含む。本発明を表示部2102やその他の信号制御回路に適用することができる。

【0197】図13(C)はモバイルコンピュータ(モバイルコンピュータ)であり、本体2201、カメラ部2202、受像部2203、操作スイッチ2204、表示部2205等を含む。本発明は表示部2205やその他の信号制御回路に適用できる。

【0198】図13(D)はゴーグル型ディスプレイであり、本体2301、表示部2302、アーム部2303等を含む。本発明は表示部2302やその他の信号制御回路に適用することができる。

【0199】図13(E)はプログラムを記録した記録媒体(以下、記録媒体と呼ぶ)を用いるプレーヤーであり、本体2401、表示部2402、スピーカ部2403、記録媒体2404、操作スイッチ2405等を含む。なお、このプレーヤーは記録媒体としてDVD(Digital Versatile Disc)、CD等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行うことができる。本発明は表示部2402やその他の信号制御回路に適用することができる。

【0200】図13(F)はデジタルカメラであり、本体2501、表示部2502、接眼部2503、操作スイッチ2504、受像部(図示しない)等を含む。本願発明を表示部2502やその他の信号制御回路に適用することができる。

【0201】図23(A)はフロント型プロジェクターであり、投射装置2601、スクリーン2602等を含む。本発明は投射装置2601の一部を構成する液晶表示装置2808やその他の信号制御回路に適用することができる。

【0202】図23(B)はリア型プロジェクターであり、本体2701、投射装置2702、ミラー2703、スクリーン2704等を含む。本発明は投射装置2702の一部を構成する液晶表示装置2808やその他の信号制御回路に適用することができる。

【0203】なお、図23(C)は、図23(A)及び図23(B)中における投射装置2601、2702の構造の一例を示した図である。投射装置2601、2702は、光源光学系2801、ミラー2802、2804~2806、ダイクロイックミラー2803、プリズム2807、液晶表示装置2808、位相差板2809、投射光学系2810で構成される。投射光学系2810は、投射レンズを含む光学系で構成される。本実施例は三板式の例を示したが、特に限定されず、例えば単板式であってもよい。また、図23(C)中において矢印で示した光路に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するためのフィルム、IRフィルム等の光学系を設けてもよい。

【0204】また、図23(D)は、図23(C)中における光源光学系2801の構造の一例を示した図である。本実施例では、光源光学系2801は、リフレクター2811、光源2812、レンズアレイ2813、2

814、偏光変換素子2815、集光レンズ2816で構成される。なお、図23(D)に示した光源光学系は一例であって特に限定されない。例えば、光源光学系に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するフィルム、IRフィルム等の光学系を設けてもよい。

【0205】ただし、図23に示したプロジェクターにおいては、透過型の電気光学装置を用いた場合を示しており、反射型の電気光学装置及びEL表示装置での適用例は図示していない。

【0206】図24(A)は携帯電話であり、本体2901、音声出力部2902、音声入力部2903、表示部2904、操作スイッチ2905、アンテナ2906等を含む。本願発明を音声出力部2902、音声入力部2903、表示部2904やその他の信号制御回路に適用することができる。

【0207】図24(B)は携帯書籍(電子書籍)であり、本体3001、表示部3002、3003記憶媒体3004、操作スイッチ3005、アンテナ3006等を含む。本発明は表示部3002、3003やその他の信号回路に適用することができる。

【0208】図25(C)はディスプレイであり、本体3101、支持台3102、表示部3103等を含む。本発明は表示部3103に適用することができる。本発明のディスプレイは特に大画面化した場合において有利であり、対角10インチ以上(特に30インチ以上)のディスプレイには有利である。

【0209】以上の様に、本願発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。

【0210】なお、本実施例に示した半導体装置を作製するにあたって、実施例1~実施例9のどの構成を採用しても良いし、各実施例を自由に組み合わせて用いることが可能である。また、実施例10、11に示した電気光学装置や半導体回路をその様に組み合わせて用いても良い。

【0211】〔実施例13〕本実施例では、実施例1とドーピング順序が異なるだけであり、基本的な構成は実施例1に従うものである。ここでは相違点のみに着目して説明する。また、実施例1と同じ符号を用いている箇所は同一である。

【0212】まず、実施例1に従って、図2(A)と同じ状態を得る。(図19(A))

【0213】次いで、nチャネル型TFTの一部及びpチャネル型TFTを覆うフォトレジストマスク1208、1209を設ける。このフォトレジストマスク1208は、ゲート電極の幅よりもチャネル長方向の幅が広い。そして、フォトレジストマスク1208をマスクとして半導体層201にn型を付与する不純物元素を添加する工程を行ない、不純物領域(n<sup>+</sup>領域)1210を



形成する。(図19(B))また、このフォトレジストマスク1208によって、第1の不純物領域( $n^+$ 領域)の長さが決定される。不純物元素の添加方法としては、イオン注入法、イオンドーピング法を用いることができる。 $n$ 型を付与する不純物はドナーとなる不純物であり、シリコン、ゲルマニウムに対しては15族元素であり、典型的にはりん(P)、ひ素(As)である。

【0214】次いで、フォトレジストマスク1208、1209を除去した後、フォトマスクを用いて $n$ チャネル型TFTの一部(チャネル形成領域となる領域)または $p$ チャネル型TFTを覆うフォトレジストマスク1203、1204を形成する。そして、フォトレジストマスク1203をマスクとして再び半導体層201に $n$ 型を付与する不純物元素を添加する工程を行ない、不純物領域( $n^-$ 領域)1305を形成する。(図19

(C))また、フォトレジストマスク1203で覆われて図19(C)の添加工程で不純物が添加されない領域1304は、 $n$ チャネル型TFTのチャネル形成領域となる。また、フォトレジストマスク1203は、後で形成されるゲート電極の幅よりもチャネル長方向の幅が狭い。この工程により後に形成されるゲート電極の下に不純物領域( $n^-$ 領域)を形成する。

【0215】次いで、フォトレジストマスク1203、1204を除去して、不純物領域( $n^-$ 領域)1305及び第1の不純物領域( $n^+$ 領域)1210に添加された不純物の活性化処理(熱処理またはレーザーアニール処理等)を行う。特に、ここで活性化工程を行う必要はないが、ゲート電極を形成する前であるので、ゲート電極の耐熱温度を考慮に入れることなく、後で形成されるゲート電極と重なる不純物領域の活性化が行える。

【0216】次いで、実施例1と同様にゲート絶縁膜上に三層構造を有するゲート電極206を形成する。(図19(D))ゲート電極206は、スパッタ法等を用いて導電膜を積層形成した後、公知のパターニング技術により形成する。また、ゲート電極の長さ(線幅)は、 $0.1 \sim 10 \mu\text{m}$ (代表的には $0.2 \sim 5 \mu\text{m}$ )とする。ただし、後の工程で陽極酸化を行うため、全てのゲート配線を1つの配線に接続しておく必要がある。なお、ゲート電極の断面形状はテーパ形状とするとカバレッジが良好になるため望ましい。

【0217】次いで、陽極酸化工程を行ない、第1の導電層105aの側部、第2の導電層105bの側部、及び第3の導電層105cの上部及び側部に陽極酸化膜107を形成する。(図19(E))陽極酸化は、中性の電解溶液中で行われ、例えば酒石酸を含んだエチレンジリコール溶液をアンモニア水で中和した電解溶液(液温 $10^\circ\text{C}$ )を使用し、ゲート配線を陽極、白金を陰極として陽極酸化が行われる。この陽極酸化で得られる陽極酸化膜107は緻密な膜質を有するため、ドーピング工程や熱処理を加えても、膜剥がれやヒロック等が発生する

ことを防止できる。特に、本発明においては、第2の導電層は耐熱性が低いアルミニウムを主成分とする材料からなっているが、側面に緻密な陽極酸化膜(アルミナ膜)が設けられるためゲート電極の耐熱性が向上し、非常に有効である。なお、ゲート電極に十分な耐熱性を持たせるため必要なアルミナ膜の膜厚は、 $10 \text{ nm}$ 以上、好ましくは $30 \text{ nm}$ 以上である。

【0218】また、図19(C)の添加工程でリンが添加された領域のうち、ゲート電極105と重なっている(オーバーラップ)している領域は第2の不純物領域となり、ゲート電極105と重なっていない領域は第3の不純物領域となる。

【0219】なお、 $n^-$ 領域である第2の不純物領域及び第3の不純物領域のリンの濃度は、 $n^+$ 領域である第1の不純物領域よりも低い。

【0220】以降の工程は、実施例1と同様の工程により周辺駆動回路部の一部を構成するCMOS回路と、画素部の一部を構成する画素TFT( $n$ チャネル型TFT)を作製することができる。

【0221】なお、本実施例の構成は実施例1～実施例12のいずれの構成とも自由に組み合わせることが可能である。

【0222】〔実施例14〕本実施例では、実施例1におけるゲート電極の形成工程に先だって $n$ 型を付与する不純物及び $p$ 型を付与する不純物の添加を行った例を図20に示す。なお、基本的な構成は実施例1に従うものである。ここでは相違点のみに着目して説明する。

【0223】本実施例は、図19(B)に示す添加工程までは実施例13と同一である。図20(A)は図2(A)に相当し、図20(B)は図19(B)に相当する図であり、同一の符号を用いている。

【0224】実施例1および実施例13に従い図19(B)の状態を得た後、レジストマスク1208、1209を除去する。次いで、フォトレジスト膜をパターニングして、半導体層201を覆うレジストマスク1501と、半導体層202の一部を覆うレジストマスク1502を形成する。そして、レジストマスク1502をマスクとして半導体層202のみに $p$ 型を付与する不純物の添加を行った。本実施例では、 $p$ 型を付与する不純物としてボロン(B)を用い、ジボラン( $\text{B}_2\text{H}_6$ )を用いたイオンドーピング法によりゲート絶縁膜を通して半導体層202に不純物の添加を行った。こうして形成された第1の不純物領域1503は、後に示す $p$ チャネル型TFTのソース領域またはドレイン領域となる。この領域のボロンの濃度を本実施例では $5 \times 10^{20} \text{ atoms/cm}^3$ とした。なお、レジストマスク1502の真下に当たる領域にはボロンが添加されず、 $p$ チャネル型TFTのチャネル形成領域1504が画定した。(図20(C))

【0225】次いで、レジストマスク1501、1502を除去する。次いで、フォトレジスト膜をパターニン



グして、pチャネル型TFTを形成する領域を覆うフォトレジストマスク1506及びnチャネル型TFTの一部を覆うフォトレジストマスク1505を形成し、フォトレジストマスク1505、1506をマスクとして半導体層に2回目のn型を付与する不純物の添加を行った。本実施例では、n型を付与する不純物としてリンを用い、フォスフィン(PH<sub>3</sub>)を用いたイオンドーピングによりゲート絶縁膜を通して半導体層201に不純物の添加を行った。こうして形成された不純物領域1507は、後に示すnチャネル型TFTのLDD領域を形成することになる。この領域のリンの濃度を本実施例では $1 \times 10^{18} \text{atoms/cm}^3$ とした。なお、レジストマスク1505の真下にあたる領域にはボロンが添加されず、nチャネル型TFTのチャネル形成領域1508が画定した。(図20(D))

【0226】次に、フォトレジストマスク1505、1506を除去して活性化処理を行った。(図20

(E))この段階ではゲート電極が存在しないので、従来問題になっていたゲート電極を構成する材料からの拡散を気にする必要がない。このように、この段階、即ちゲート電極形成工程に先立って熱処理により活性化させることは効果的であった。

【0227】以降の工程は、実施例1または公知のTFTの作製方法に従い、ゲート電極の形成、層間絶縁膜の形成、コンタクトホール形成、上層配線の形成等を行えばよい。

【0228】なお、本実施例の構成は実施例1～実施例12のいずれの構成とも自由に組み合わせることが可能である。

【0229】〔実施例15〕本実施例では、実施例13におけるゲート電極の形成工程に先だってn型を付与する不純物及びp型を付与する不純物の添加を行った例を図21に示す。なお、基本的な構成は実施例1および実施例13に従うものである。ここでは相違点のみに着目して説明する。

【0230】本実施例は、図2(A)に示す添加工程までは実施例1と同一である。図21(A)は図2(A)に相当する図であり、同一の符号を用いている。

【0231】実施例1に従い、図21(A)の状態を得たら、フォトレジスト膜をパターニングして、半導体層201を覆うレジストマスク1601と、半導体層202の一部を覆うレジストマスク1602を形成する。そして、レジストマスク1602をマスクとして半導体層202のみにp型を付与する不純物の添加を行った。こうして形成された第1の不純物領域1603は、後に示すpチャネル型TFTのソース領域またはドレイン領域となる。この領域のボロンの濃度を本実施例では $5 \times 10^{20} \text{atoms/cm}^3$ とした。なお、レジストマスク1602の真下にあたる領域にはボロンが添加されず、pチャネル型TFTのチャネル形成領域1604が画定した。

(図21(B))

【0232】次いで、レジストマスク1601、1602を除去する。その後、フォトレジスト膜をパターニングして、pチャネル型TFTを形成する領域を覆うフォトレジストマスク1606及びnチャネル型TFTの一部を覆うフォトレジストマスク1605を形成し、フォトレジストマスク1605をマスクとして半導体層201にn型を付与する不純物の添加を行った。こうして形成された不純物領域1607は、後に示すnチャネル型TFTのLDD領域を形成することになる。この領域のリンの濃度を本実施例では $1 \times 10^{18} \text{atoms/cm}^3$ とした。

【0233】また、フォトレジストマスク1605の真下にあたる領域にはリンが添加されず、フォトレジストマスク1605によってnチャネル型TFTのチャネル形成領域1608が画定した。(図21(C))

【0234】次いで、レジストマスク1605、1606を除去する。次に、フォトレジスト膜をパターニングして、pチャネル型TFTを形成する領域を覆うフォトレジストマスク1610及びnチャネル型TFTの一部を覆うフォトレジストマスク1609を形成し、フォトレジストマスク1609をマスクとして半導体層201に2回目のn型を付与する不純物の添加を行った。こうして形成された第1の不純物領域1611は、後に示すnチャネル型TFTのソース領域またはドレイン領域を形成することになる。この領域のリンの濃度を本実施例では $5 \times 10^{20} \text{atoms/cm}^3$ とした。

【0235】こうして、フォトレジストマスク1609によって、第1の不純物領域1611及びLDD領域が画定した。(図21(D))

【0236】次に、フォトレジストマスク1609、1610を除去して活性化処理を行った。(図21

(E))この段階ではゲート電極が存在しないので、従来問題になっていたゲート電極を構成する材料からの拡散を気にする必要がない。このように、この段階、即ちゲート電極形成工程に先立って熱処理により活性化させることは効果的であった。

【0237】以降の工程は、実施例1または公知のTFTの作製方法に従い、ゲート電極の形成、層間絶縁膜の形成、コンタクトホール形成、上層配線の形成等を行えばよい。

【0238】なお、本実施例の構成は実施例1～実施例12のいずれの構成とも自由に組み合わせることが可能である。

【0239】〔実施例16〕本実施例では、実施例15におけるn型を付与する不純物及びp型を付与する不純物の添加の順序が異なる例を図22に示す。なお、基本的な構成は実施例15に従うものである。ここでは相違点のみに着目して説明する。

【0240】本実施例は、図21(B)に示す添加工程

までは実施例 15 と同一である。図 22 (A) は図 21 (A) に相当し、図 22 (B) は図 21 (B) に相当する図であり、同一の符号を用いている。

【0241】実施例 15 に従い、図 22 (B) の状態を得たら、レジストマスク 1601、1602 を除去する。次に、フォトリソ膜をパターンニングして、p チャネル型 TFT を形成する領域を覆うフォトリソマスク 1701 及び n チャネル型 TFT の一部を覆うフォトリソマスク 1702 を形成し、フォトリソマスク 1702 をマスクとして半導体層 201 に n 型を付与する不純物の添加を行った。こうして形成された第 1 の不純物領域 1703 は、後に示す n チャネル型 TFT のソース領域またはドレイン領域を形成することになる。この領域のリンの濃度を本実施例では  $5 \times 10^{20} \text{ atoms/cm}^3$  とした。(図 22 (C))

【0242】次いで、レジストマスク 1701、1702 を除去する。次いで、フォトリソ膜をパターンニングして、p チャネル型 TFT を形成する領域を覆うフォトリソマスク 1704 及び n チャネル型 TFT の一部を覆うフォトリソマスク 1705 を形成し、フォトリソマスク 1704、1705 をマスクとして半導体層に 2 回目の n 型を付与する不純物の添加を行った。本実施例では、n 型を付与する不純物としてリンを用い、フォスフィン ( $\text{PH}_3$ ) を用いたイオンドープ法によりゲート絶縁膜を通して半導体層 201 に不純物の添加を行った。こうして形成された不純物領域 1706 は、後に示す n チャネル型 TFT の LDD 領域を形成することになる。この領域のリンの濃度を本実施例では  $1 \times 10^{18} \text{ atoms/cm}^3$  とした。なお、レジストマスク 1704 の真下にあたる領域にはボロンが添加されず、n チャネル型 TFT のチャネル形成領域 1707 が画定した。(図 22 (D))

【0243】次に、フォトリソマスク 1704、1705 を除去して活性化処理を行った。(図 22 (E)) この段階ではゲート電極が存在しないので、従来問題になっていたゲート電極を構成する材料からの拡散を気にする必要がない。このように、この段階、即ちゲート電極形成工程に先立って熱処理により活性化させることは効果的であった。

【0244】以降の工程は、実施例 1 または公知の TFT の作製方法に従い、ゲート電極の形成、層間絶縁膜の形成、コンタクトホール形成、上層配線の形成等を行えばよい。

【0245】なお、本実施例の構成は実施例 1 ~ 実施例 12 のいずれの構成とも自由に組み合わせることが可能である。

【0246】〔実施例 17〕本実施例では、本願発明を用いて EL (エレクトロルミネッセンス) 表示装置を作製した例について説明する。

【0247】図 25 (A) は本願発明を用いた EL 表示

装置の上面図である。図 25 (A) において、4010 は基板、4011 は画素部、4012 はソース側駆動回路、4013 はゲート側駆動回路であり、それぞれの駆動回路は配線 4014 ~ 4016 を経て FPC 4017 に至り、外部機器へと接続される。

【0248】このとき、少なくとも画素部、好ましくは駆動回路及び画素部を囲むようにしてカバー材 6000、シーリング材 (ハウジング材ともいう) 7000、密封材 (第 2 のシーリング材) 7001 が設けられている。

【0249】また、図 25 (B) は本実施例の EL 表示装置の断面構造であり、基板 4010、下地膜 4021 の上に駆動回路用 TFT (但し、ここでは n チャネル型 TFT と p チャネル型 TFT を組み合わせた CMOS 回路を図示している。) 4022 及び画素部用 TFT 4023 (但し、ここでは EL 素子への電流を制御する TFT だけ図示している。) が形成されている。これらの TFT は公知の構造 (トップゲート構造またはボトムゲート構造) を用いれば良い。

【0250】本願発明は、駆動回路用 TFT 4022、画素部用 TFT 4023 に際して用いることができる。

【0251】本願発明を用いて駆動回路用 TFT 4022、画素部用 TFT 4023 が完成したら、樹脂材料でなる層間絶縁膜 (平坦化膜) 4026 の上に画素部用 TFT 4023 のドレインと電気的に接続する透明導電膜でなる画素電極 4027 を形成する。画素電極 4027 が透明導電膜である場合、画素部用 TFT としては、p チャネル型 TFT を用いることが好ましい。透明導電膜としては、酸化インジウムと酸化スズとの化合物 (ITO と呼ばれる) または酸化インジウムと酸化亜鉛との化合物を用いることができる。そして、画素電極 4027 を形成したら、絶縁膜 4028 を形成し、画素電極 4027 上に開口部を形成する。

【0252】次に、EL 層 4029 を形成する。EL 層 4029 は公知の EL 材料 (正孔注入層、正孔輸送層、発光層、電子輸送層または電子注入層) を自由に組み合わせる積層構造または単層構造とすれば良い。どのような構造とするかは公知の技術を用いれば良い。また、EL 材料には低分子系材料と高分子系 (ポリマー系) 材料がある。低分子系材料を用いる場合は蒸着法を用いるが、高分子系材料を用いる場合には、スピンコート法、印刷法またはインクジェット法等の簡易な方法を用いることが可能である。

【0253】本実施例では、シャドーマスクを用いて蒸着法により EL 層を形成する。シャドーマスクを用いて画素毎に波長の異なる発光が可能な発光層 (赤色発光層、緑色発光層及び青色発光層) を形成することで、カラー表示が可能となる。その他にも、色変換層 (CCM) とカラーフィルターを組み合わせた方式、白色発光層とカラーフィルターを組み合わせた方式があるが

れの方法を用いても良い。勿論、単色発光のEL表示装置とすることもできる。

【0254】EL層4029を形成したら、その上に陰極4030を形成する。陰極4030とEL層4029の界面に存在する水分や酸素は極力排除しておくことが望ましい。従って、真空中でEL層4029と陰極4030を連続成膜するか、EL層4029を不活性雰囲気中で形成し、大気解放しないで陰極4030を形成するといった工夫が必要である。本実施例ではマルチチャンパー方式（クラスターツール方式）の成膜装置を用いることで上述のような成膜を可能とする。

【0255】なお、本実施例では陰極4030として、LiF（フッ化リチウム）膜とAl（アルミニウム）膜の積層構造を用いる。具体的にはEL層4029上に蒸着法で1nm厚のLiF（フッ化リチウム）膜を形成し、その上に300nm厚のアルミニウム膜を形成する。勿論、公知の陰極材料であるMgAg電極を用いても良い。そして陰極4030は4031で示される領域において配線4016に接続される。配線4016は陰極4030に所定の電圧を与えるための電源供給線であり、導電性ペースト材料4032を介してFPC4017に接続される。

【0256】4031に示された領域において陰極4030と配線4016とを電気的に接続するために、層間絶縁膜4026及び絶縁膜4028にコンタクトホールを形成する必要がある。これらは層間絶縁膜4026のエッチング時（画素電極用コンタクトホールの形成時）や絶縁膜4028のエッチング時（EL層形成前の開口部の形成時）に形成しておけば良い。また、絶縁膜4028をエッチングする際に、層間絶縁膜4026まで一括でエッチングしても良い。この場合、層間絶縁膜4026と絶縁膜4028が同じ樹脂材料であれば、コンタクトホールの形状を良好なものとすることができる。

【0257】このようにして形成されたEL素子の表面を覆って、パッシベーション膜6003、充填材6004、カバー材6000が形成される。

【0258】さらに、EL素子部を囲むようにして、カバー材7000と基板4010の内側にシーリング材が設けられ、さらにシーリング材7000の外側には密封材（第2のシーリング材）7001が形成される。

【0259】このとき、この充填材6004は、カバー材6000を接着するための接着剤としても機能する。充填材6004としては、PVC（ポリビニルクロライド）、エポキシ樹脂、シリコーン樹脂、PVB（ポリビニルブチラル）またはEVA（エチレンビニルアセテート）を用いることができる。この充填材6004の内部に乾燥剤を設けておくと、吸湿効果を保持できるので好ましい。

【0260】また、充填材6004の中にスペーサーを含有させてもよい。このとき、スペーサーをBaOなど

からなる粒状物質とし、スペーサー自体に吸湿性をもたせてもよい。

【0261】スペーサーを設けた場合、パッシベーション膜6003はスペーサー圧を緩和することができる。また、パッシベーション膜とは別に、スペーサー圧を緩和する樹脂膜などを設けてもよい。

【0262】また、カバー材6000としては、ガラス板、アルミニウム板、ステンレス板、FRP（Fiberglass-Reinforced Plastic）板、PVF（ポリビニルフルオライド）フィルム、マイラーフィルム、ポリエステルフィルムまたはアクリルフィルムを用いることができる。なお、充填材6004としてPVBやEVAを用いる場合、数十μmのアルミニウムホイルをPVFフィルムやマイラーフィルムで挟んだ構造のシートを用いることが好ましい。

【0263】但し、EL素子からの発光方向（光の放射方向）によっては、カバー材6000が透光性を有する必要がある。

【0264】また、配線4016はシーリング材7000および密封材7001と基板4010との隙間を通過してFPC4017に電気的に接続される。なお、ここでは配線4016について説明したが、他の配線4014、4015も同様にしてシーリング材7000および密封材7001の下を通過してFPC4017に電気的に接続される。

【0265】〔実施例19〕本実施例ではEL表示装置の画素部のさらに詳細な断面構造を図27に、上面構造を図28（A）に、回路図を図28（B）に示す。図27、図28（A）及び図28（B）では共通の符号を用いるので互いに参照すれば良い。

【0266】図27において、基板3501上に設けられたスイッチング用TFT3502は本願発明のNTFTを用いて形成される（実施例1～9、13～16参照）。本実施例ではダブルゲート構造としているが、構造及び作製プロセスに大きな違いはないので説明は省略する。但し、ダブルゲート構造とすることで実質的に二つのTFTが直列された構造となり、オフ電流値を低減することができるという利点がある。なお、本実施例ではダブルゲート構造としているが、シングルゲート構造でも構わないし、トリプルゲート構造やそれ以上のゲート本数を持つマルチゲート構造でも構わない。また、本願発明のPTFTを用いて形成しても構わない。

【0267】また、電流制御用TFT3503は本願発明のNTFTを用いて形成される。このとき、スイッチング用TFT3502のドレイン配線35は配線36によって電流制御用TFTのゲート電極37に電気的に接続されている。また、38で示される配線は、スイッチング用TFT3502のゲート電極39a、39bを電気的に接続するゲート配線である。

【0268】このとき、電流制御用TFT3503が本

願発明の構造であることは非常に重要な意味を持つ。電流制御用TFTはEL素子を通る電流量を制御するための素子であるため、多くの電流が流れ、熱による劣化やホットキャリアによる劣化の危険性が高い素子でもある。そのため、電流制御用TFTのドレイン側に、ゲート絶縁膜を介してゲート電極に重なるようにLDD領域を設ける本願発明の構造は極めて有効である。

【0269】また、本実施例では電流制御用TFT3503をシングルゲート構造で図示しているが、複数のTFTを直列につなげたマルチゲート構造としても良い。さらに、複数のTFTを並列につなげて実質的にチャネル形成領域を複数に分割し、熱の放射を高い効率で行えるようにした構造としても良い。このような構造は熱による劣化対策として有効である。

【0270】また、図28(A)に示すように、電流制御用TFT3503のゲート電極37となる配線は3504で示される領域で、電流制御用TFT3503のドレイン配線40と絶縁膜を介して重なる。このとき、3504で示される領域ではコンデンサが形成される。このコンデンサ3504は電流制御用TFT3503のゲートにかかる電圧を保持するためのコンデンサとして機能する。なお、ドレイン配線40は電流供給線（電源線）3506に接続され、常に一定の電圧が加えられている。

【0271】スイッチング用TFT3502及び電流制御用TFT3503の上には第1パッシベーション膜41が設けられ、その上に樹脂絶縁膜でなる平坦化膜42が形成される。平坦化膜42を用いてTFTによる段差を平坦化することは非常に重要である。後に形成されるEL層は非常に薄いため、段差が存在することによって発光不良を起こす場合がある。従って、EL層をできるだけ平坦面に形成しうるように画素電極を形成する前に平坦化しておくことが望ましい。

【0272】また、43は反射性の高い導電膜でなる画素電極（EL素子の陰極）であり、電流制御用TFT3503のドレインに電気的に接続される。この場合においては、電流制御用TFTとしてnチャネル型TFTを用いることが好ましい。画素電極43としてはアルミニウム合金膜、銅合金膜または銀合金膜など低抵抗な導電膜またはそれらの積層膜を用いることが好ましい。勿論、他の導電膜との積層構造としても良い。

【0273】また、絶縁膜（好ましくは樹脂）で形成されたバンク44a、44bにより形成された溝（画素に相当する）の中に発光層45が形成される。なお、ここでは一画素しか図示していないが、R（赤）、G

（緑）、B（青）の各色に対応した発光層を作り分けても良い。発光層とする有機EL材料としてはπ共役ポリマー系材料を用いる。代表的なポリマー系材料としては、ポリパラフェニレンビニレン（PPV）系、ポリビニルカルバゾール（PVK）系、ポリフルオレン系など

が挙げられる。

【0274】なお、PPV系有機EL材料としては様々な型のものがあるが、例えば「H. Shenk, H. Becker, O. Gelsen, E. Kluge, W. Kreuder, and H. Spreitzer, "Polymers for Light Emitting Diodes", Euro Display, Proceedings, 1999, p. 33-37」や特開平10-92576号公報に記載されたような材料を用いれば良い。

【0275】具体的な発光層としては、赤色に発光する発光層にはシアノポリフェニレンビニレン、緑色に発光する発光層にはポリフェニレンビニレン、青色に発光する発光層にはポリフェニレンビニレン若しくはポリアルキルフェニレンを用いれば良い。膜厚は30~150nm（好ましくは40~100nm）とすれば良い。

【0276】但し、以上の例は発光層として用いることのできる有機EL材料の一例であって、これに限定する必要はまったくない。発光層、電荷輸送層または電荷注入層を自由に組み合わせてEL層（発光及びそのためのキャリアの移動を行わせるための層）を形成すれば良い。

【0277】例えば、本実施例ではポリマー系材料を発光層として用いる例を示したが、低分子系有機EL材料を用いても良い。また、電荷輸送層や電荷注入層として炭化珪素等の無機材料を用いることも可能である。これらの有機EL材料や無機材料は公知の材料を用いることができる。

【0278】本実施例では発光層45の上にPEDOT（ポリチオフェン）またはPAni（ポリアニリン）でなる正孔注入層46を設けた積層構造のEL層としている。そして、正孔注入層46の上には透明導電膜でなる陽極47が設けられる。本実施例の場合、発光層45で生成された光は上面側に向かって（TFTの上方に向かって）放射されるため、陽極は透光性でなければならない。透明導電膜としては酸化インジウムと酸化スズとの化合物や酸化インジウムと酸化亜鉛との化合物を用いることができるが、耐熱性の低い発光層や正孔注入層を形成した後で形成するため、可能な限り低温で成膜できるものが好ましい。

【0279】陽極47まで形成された時点でEL素子3505が完成する。なお、ここでいうEL素子3505は、画素電極（陰極）43、発光層45、正孔注入層46及び陽極47で形成されたコンデンサを指す。図28(A)に示すように画素電極43は画素の面積にほぼ一致するため、画素全体がEL素子として機能する。従って、発光の利用効率が非常に高く、明るい画像表示が可能となる。

【0280】ところで、本実施例では、陽極47の上にさらに第2パッシベーション膜48を設けている。第2パッシベーション膜48としては窒化珪素膜または窒化酸化珪素膜が好ましい。この目的は、外部とEL素子とを遮断することであり、有機EL材料の酸化による劣化

を防ぐ意味と、有機EL材料からの脱ガスを抑える意味との両方を併せ持つ。これによりEL表示装置の信頼性が高められる。

【0281】以上のように本願発明のEL表示パネルは図27のような構造の画素からなる画素部を有し、オフ電流値の十分に低いスイッチング用TFTと、ホットキャリア注入に強い電流制御用TFTとを有する。従って、高い信頼性を有し、且つ、良好な画像表示が可能なEL表示パネルが得られる。

【0282】なお、本実施例の構成は、実施例1~12構成と自由に組み合わせて実施することが可能である。また、実施例14の電子機器の表示部として本実施例のEL表示パネルを用いることは有効である。

【0283】〔実施例20〕本実施例では、実施例18に示した画素部において、EL素子3505の構造を反転させた構造について説明する。説明には図29を用いる。なお、図27の構造と異なる点はEL素子の部分と電流制御用TFTだけであるので、その他の説明は省略することとする。

【0284】図29において、電流制御用TFT3503は本願発明のPTFTを用いて形成される。作製プロセスは実施例1~9、13~16を参照すれば良い。

【0285】本実施例では、画素電極（陽極）50として透明導電膜を用いる。具体的には酸化インジウムと酸化亜鉛との化合物でなる導電膜を用いる。勿論、酸化インジウムと酸化スズとの化合物でなる導電膜を用いても良い。

【0286】そして、絶縁膜でなるバンク51a、51bが形成された後、溶液塗布によりポリビニルカルbazolでなる発光層52が形成される。その上にはカリウムアセチルアセトネート（acacKと表記される）でなる電子注入層53、アルミニウム合金でなる陰極54が形成される。この場合、陰極54がパッシベーション膜としても機能する。こうしてEL素子3701が形成される。

【0287】本実施例の場合、発光層52で発生した光は、矢印で示されるようにTFTが形成された基板の方に向かって放射される。

【0288】なお、本実施例の構成は、実施例1~9、13~16の構成と自由に組み合わせて実施することが可能である。また、実施例12の電子機器の表示部として本実施例のEL表示パネルを用いることは有効である。

【0289】〔実施例21〕本実施例では、図28(B)に示した回路図とは異なる構造の画素とした場合の例について図30(A)~(C)に示す。なお、本実施例において、3801はスイッチング用TFT3802のソース配線、3803はスイッチング用TFT3802のゲート配線、3804は電流制御用TFT、3805はコンデンサ、3806、3808は電流供給線、

3807はEL素子とする。

【0290】図30(A)は、二つの画素間で電流供給線3806を共通とした場合の例である。即ち、二つの画素が電流供給線3806を中心に線対称となるように形成されている点に特徴がある。この場合、電源供給線の本数を減らすことができるため、画素部をさらに高精細化することができる。

【0291】また、図30(B)は、電流供給線3808をゲート配線3803と平行に設けた場合の例である。なお、図30(B)では電流供給線3808とゲート配線3803とが重ならないように設けた構造となっているが、両者が異なる層に形成される配線であれば、絶縁膜を介して重なるように設けることもできる。この場合、電源供給線3808とゲート配線3803とで専有面積を共有させることができるため、画素部をさらに高精細化することができる。

【0292】また、図30(C)は、図30(B)の構造と同様に電流供給線3808をゲート配線3803a、3803bと平行に設け、さらに、二つの画素を電流供給線3808を中心に線対称となるように形成する点に特徴がある。また、電流供給線3808をゲート配線3803a、3803bのいずれか一方と重なるように設けることも有効である。この場合、電源供給線の本数を減らすことができるため、画素部をさらに高精細化することができる。

【0293】なお、本実施例の構成は、実施例1~9、13~16、17または18の構成と自由に組み合わせて実施することが可能である。また、実施例12の電子機器の表示部として本実施例の画素構造を有するEL表示パネルを用いることは有効である。

【0294】〔実施例22〕実施例19に示した図28(A)、図28(B)では電流制御用TFT3503のゲートにかかる電圧を保持するためにコンデンサ3504を設ける構造としているが、コンデンサ3504を省略することも可能である。実施例19の場合、電流制御用TFT3503として実施例1~9、13~16に示すような本願発明のNTFTを用いているため、ゲート絶縁膜を介してゲート電極に重なるように設けられたLDD領域を有している。この重なり合った領域には一般的にゲート容量と呼ばれる寄生容量が形成されるが、本実施例ではこの寄生容量をコンデンサ3504の代わりとして積極的に用いる点に特徴がある。

【0295】この寄生容量のキャパシタンスは、上記ゲート電極とLDD領域とが重なり合った面積によって変化するため、その重なり合った領域に含まれるLDD領域の長さによって決まる。

【0296】また、実施例21に示した図30(A)~(C)の構造においても同様に、コンデンサ3805を省略することは可能である。

【0297】なお、本実施例の構成は、実施例1~9、

13～16、17～21の構成と自由に組み合わせて実施することが可能である。また、実施例12の電子機器の表示部として本実施例の画素構造を有するEL表示パネルを用いることは有効である。

#### 【0298】

【発明の効果】以上のように、半導体装置の構造的な改良によってクロム混酸等の特殊なエッチャントを使用することなく、容易に配線同士での良好なオーミック接触を実現できる点が本願発明の効果である。

【0299】また、本願発明は、配線を高融点金属（バルブ金属）／低抵抗率金属／高融点金属（バルブ金属）の積層構造とし、さらにこの配線を陽極酸化膜で保護することを特徴とする。その結果、低抵抗、且つ高耐熱性を有する配線を形成することができるとともに、上層配線とのコンタクト形成を容易なものとすることができる。

【0300】また、本発明を用いることで、低抵抗、且つ高耐熱性を有する配線を作製することができ、アクティブマトリクス型表示装置の大面积化、高精細化を実現できる。

【0301】また、本発明を用いることで、あらゆる半導体装置に用いられるnチャネル型TFTの信頼性を高めることが可能となった。その結果、TFTで作製されたCMOS回路を含む半導体装置、また、具体的には液晶表示装置の画素部や、その周辺に設けられる駆動回路の信頼性を高めることができた。延いては、nチャネル型TFTを回路に含む半導体回路や上記液晶表示装置を部品として組み込んだ電子機器の信頼性も向上した。

#### 【図面の簡単な説明】

【図1】 実施例1のCMOS回路の上面図及び断面図の説明図である。

【図2】 実施例1のTFTの作製工程の説明図である。

【図3】 実施例1のTFTの作製工程の説明図である。

【図4】 実施例1の画素部の上面図及び断面図の説明図である。

【図5】 実施例1の結晶化工程の説明図であり、基板断面図である。

【図6】 実施例3の結晶化工程の説明図であり、基板

断面図である。

【図7】 実施例3の結晶化工程の説明図であり、基板断面図である。

【図8】 実施例4のゲッタリング工程の説明図であり、基板断面図である。

【図9】 実施例5のゲッタリング工程の説明図であり、基板断面図である。

【図10】 実施例7のゲッタリング工程の説明図であり、基板断面図である。

【図11】 実施例8の説明図であり、基板断面図である。

【図12】 アクティブマトリクス基板の構成を示す図である。

【図13】 電子機器の説明図である。

【図14】 各種TFT構造における電気特性の特徴を示す図である。

【図15】 実施例9のTFTの作製工程の説明図である。

【図16】 実施例9のTFTの作製工程の説明図である。

【図17】 実施例9の説明図であり、基板断面TEM写真である。

【図18】 実施例9の説明図であり、基板断面模式図である。

【図19】 実施例13のTFTの作製工程の説明図である。

【図20】 実施例14のTFTの作製工程の説明図である。

【図21】 実施例15のTFTの作製工程の説明図である。

【図22】 実施例16のTFTの作製工程の説明図である。

【図23】 電子機器の説明図である。

【図24】 電子機器の説明図である。

【図25】 EL表示装置の説明図である。

【図26】 EL表示装置の説明図である。

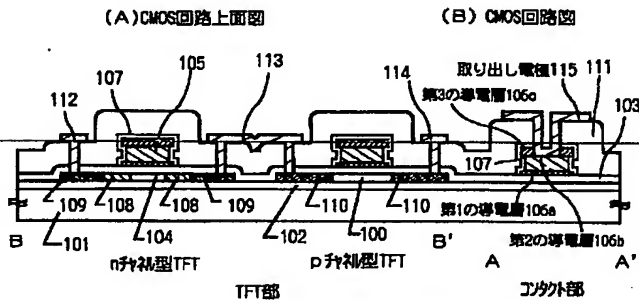
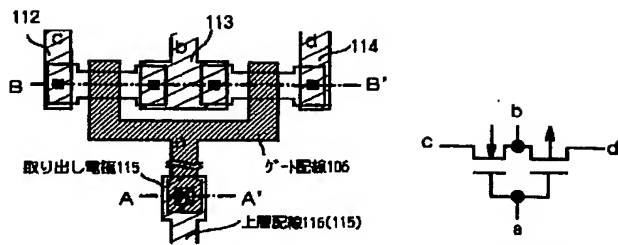
【図27】 EL表示装置の説明図である。

【図28】 EL表示装置の上面図及び回路図である。

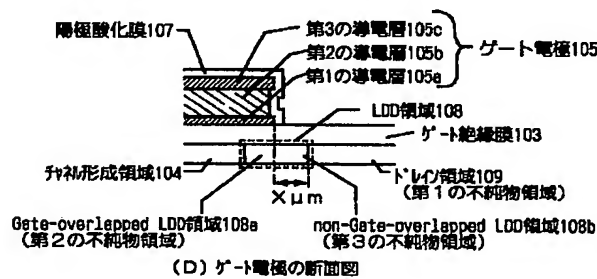
【図29】 EL表示装置の説明図である。

【図30】 EL表示装置の回路図である。

【図 1】

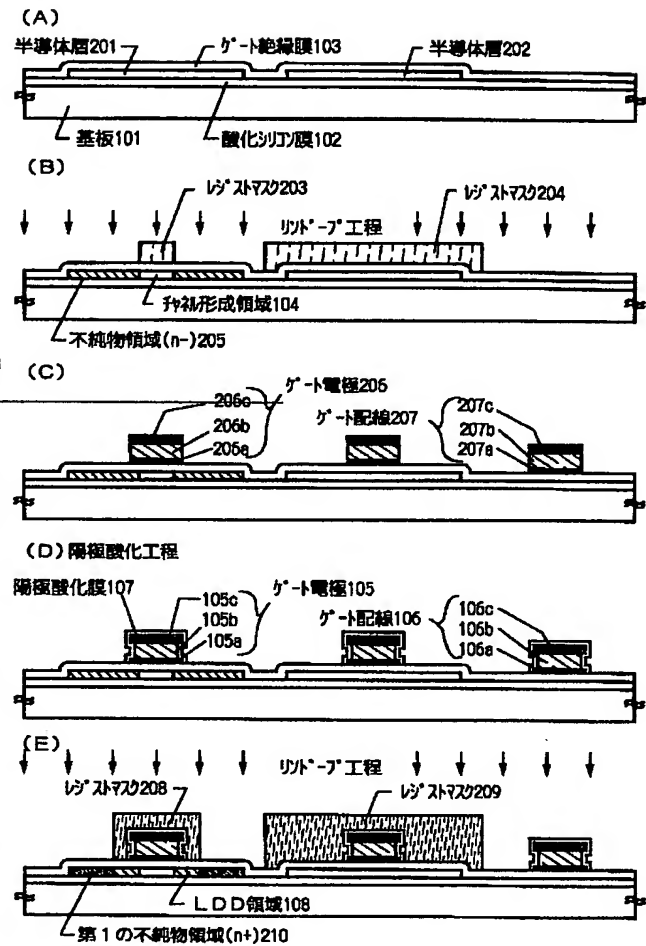


(C) A-A' 断面及びB-B' 構造図

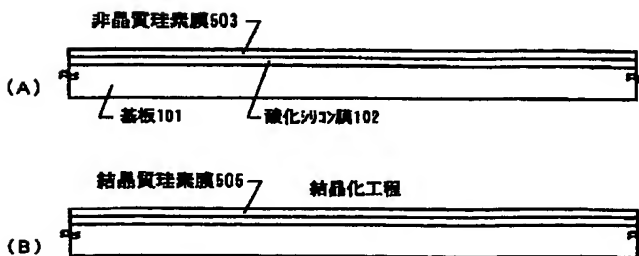


(D) ゲート電極の断面図

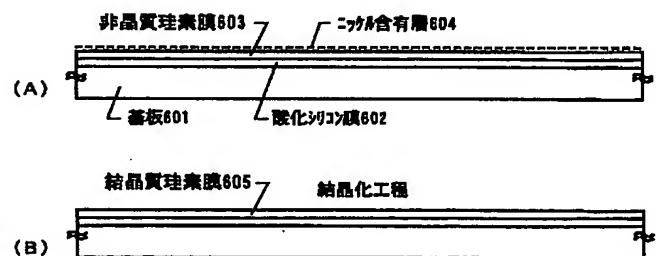
【図 2】



【図 5】

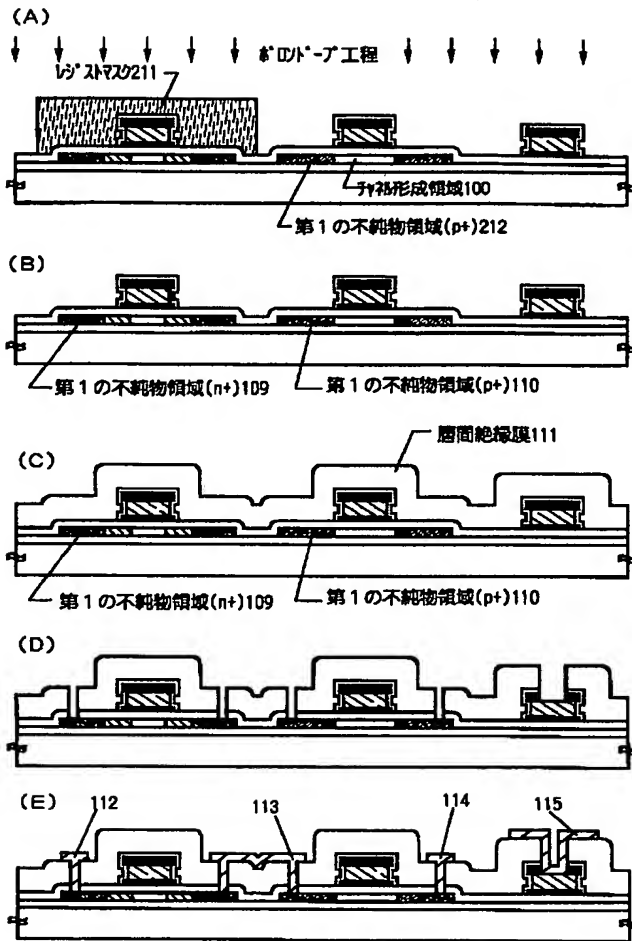


【図 6】

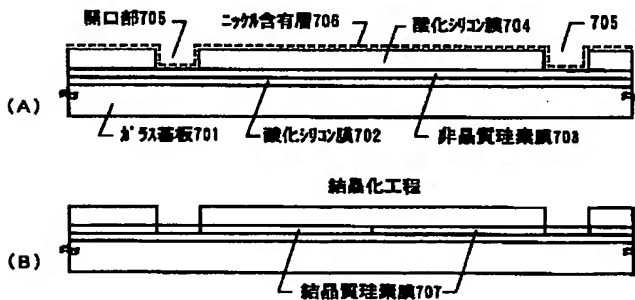




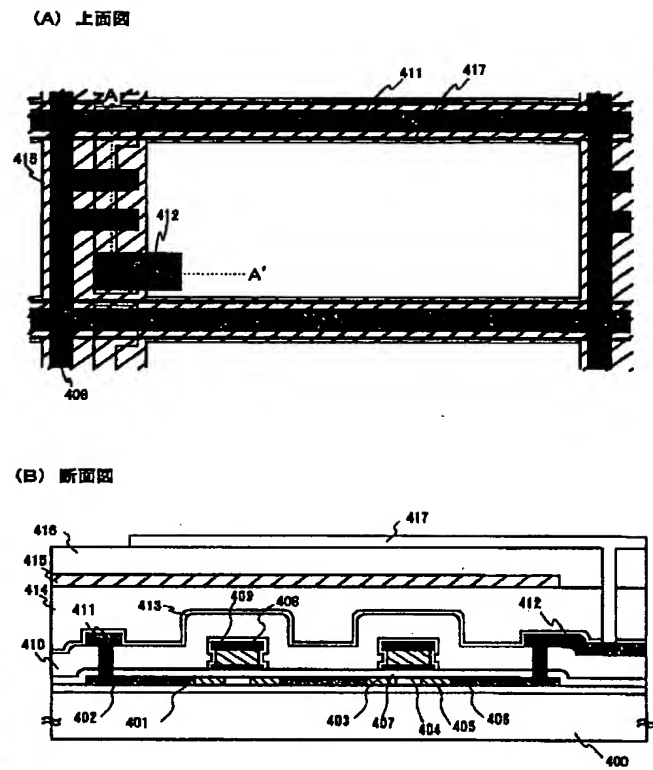
【図 3】



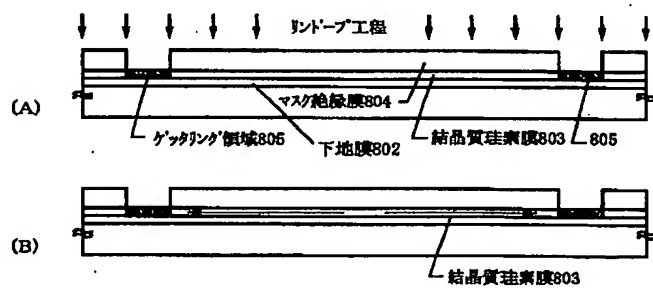
【図 7】



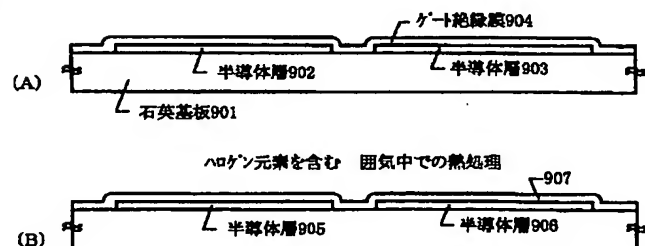
【図 4】



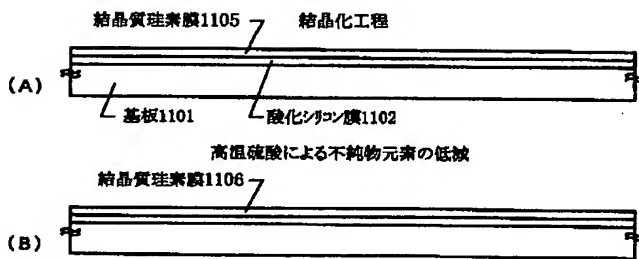
【図 8】



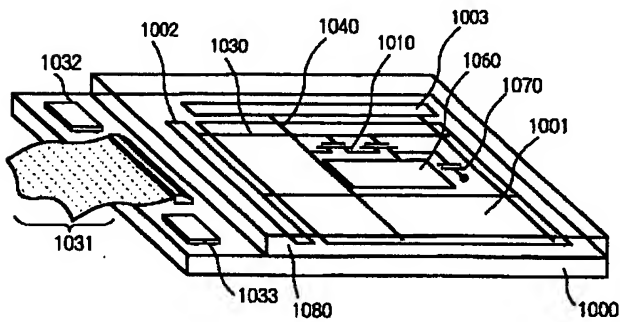
【図 9】



【図 10】



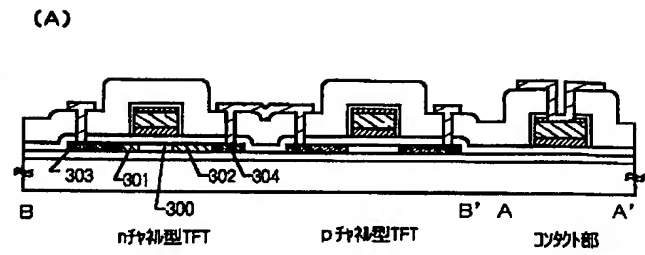
【図 12】



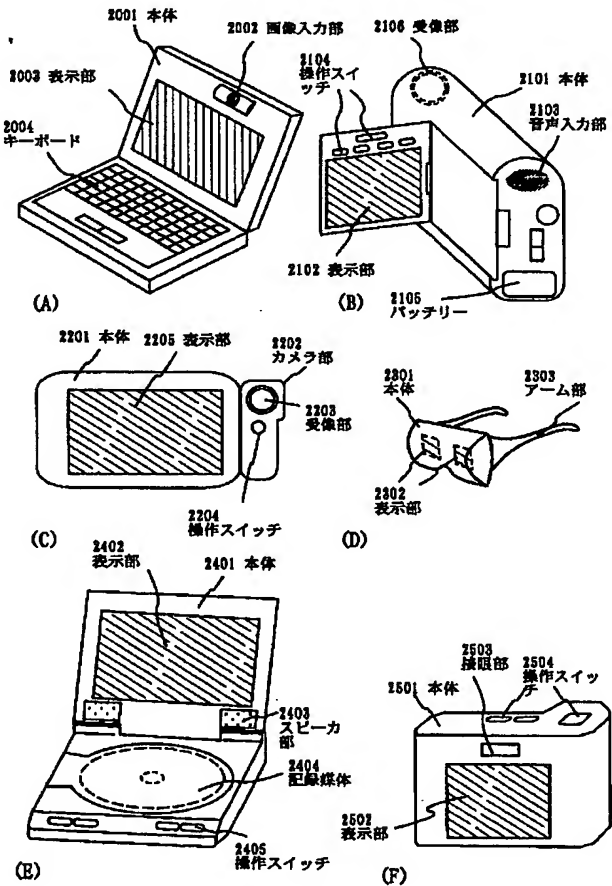
アクティブマトリクス基板

1000: 基板  
1001: 画素部  
1002: 画素線駆動回路, 1003: 信号線駆動回路  
1031: PC 1032, 1033: ICチップ  
1010: 画素TFT  
1030: 走査線 1040: 信号線  
1050: 画素電極 1070: 保持容量  
1080: 対向基板

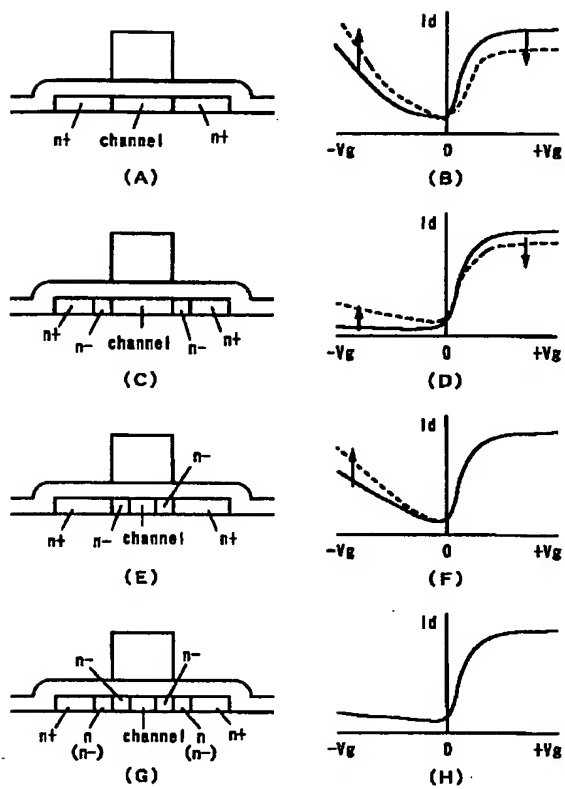
【図 11】



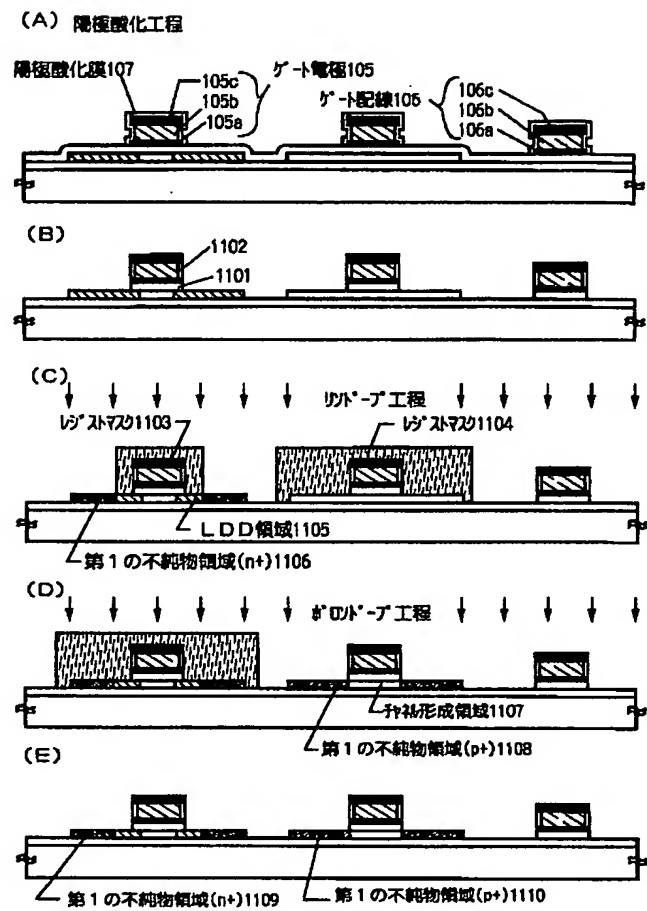
【図 13】



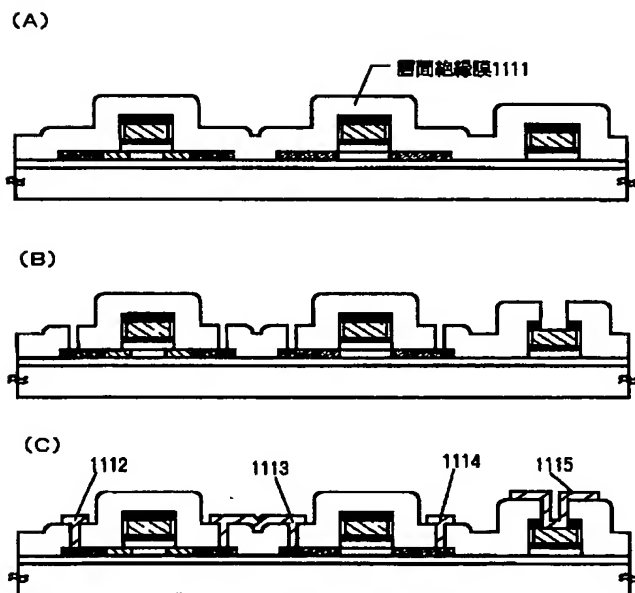
【図14】



【図15】



【図16】



【図 17】

(A) 配線形成工程後の状態図



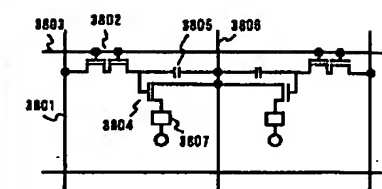
(B) 陽極酸化工程後の状態図



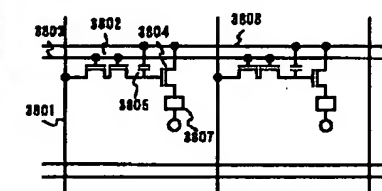
(C) ゲート絶縁膜の除去工程後の状態図



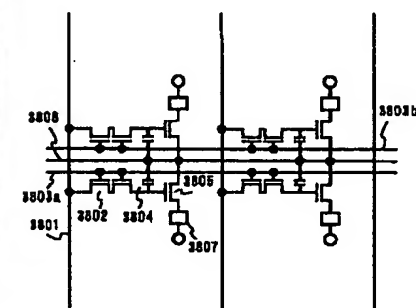
【図 30】



(A)

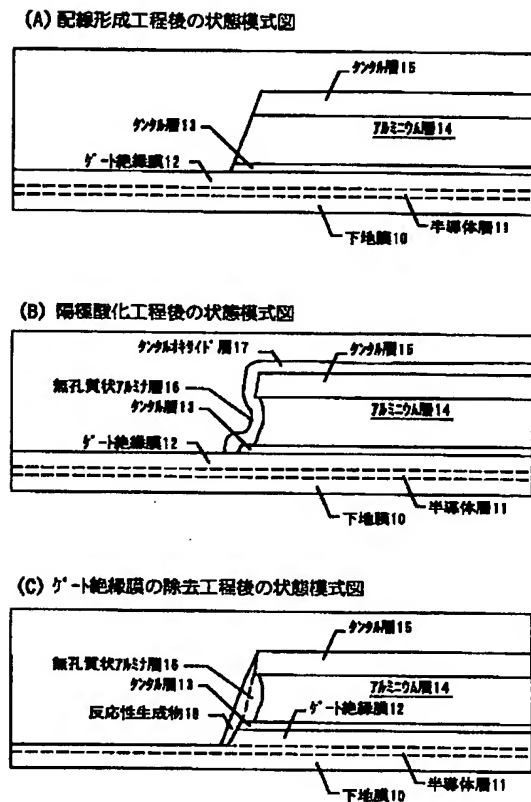


(B)

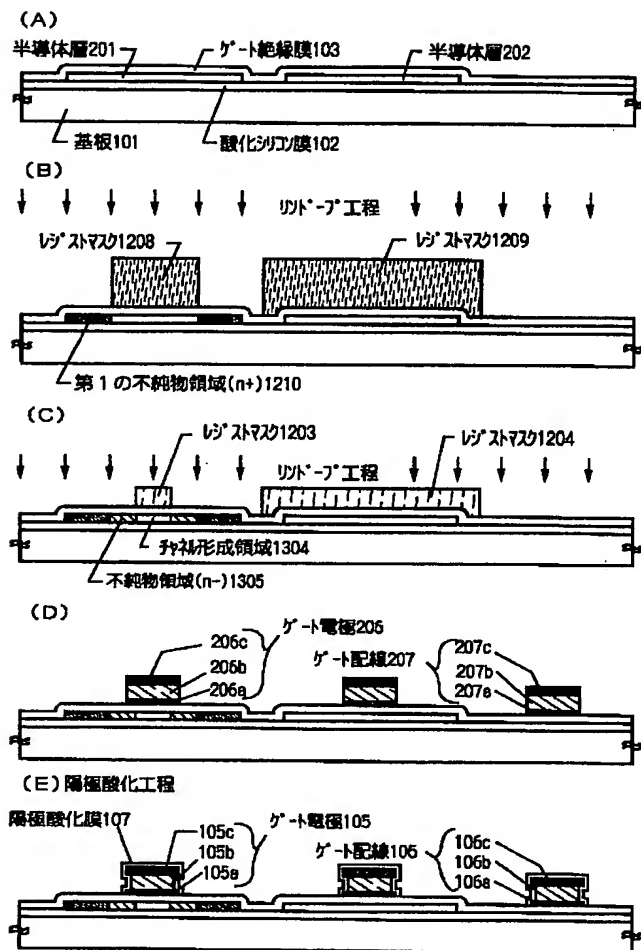


(C)

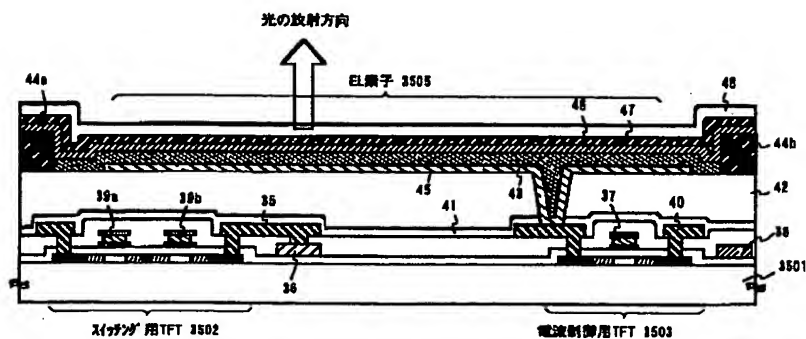
【図18】



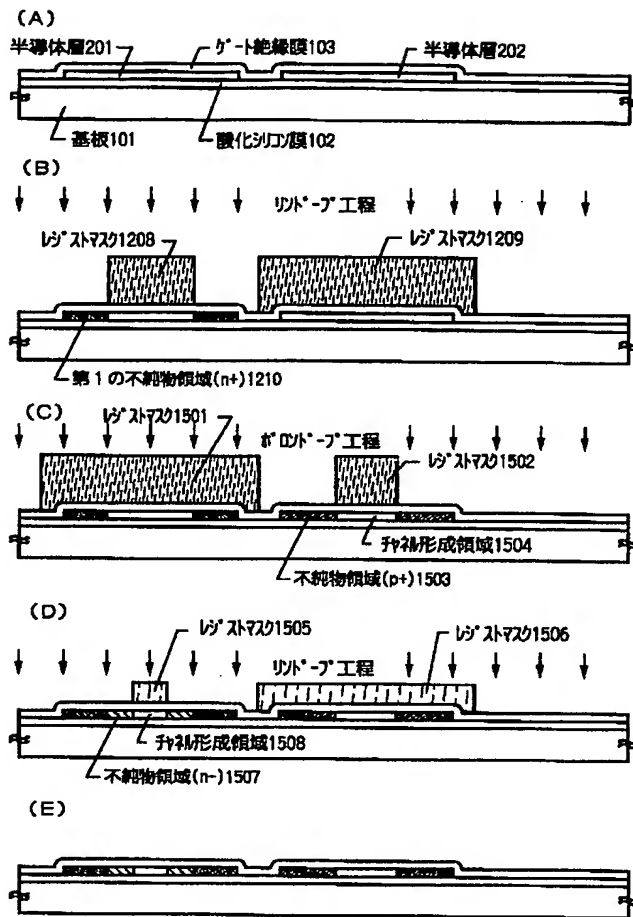
【図19】



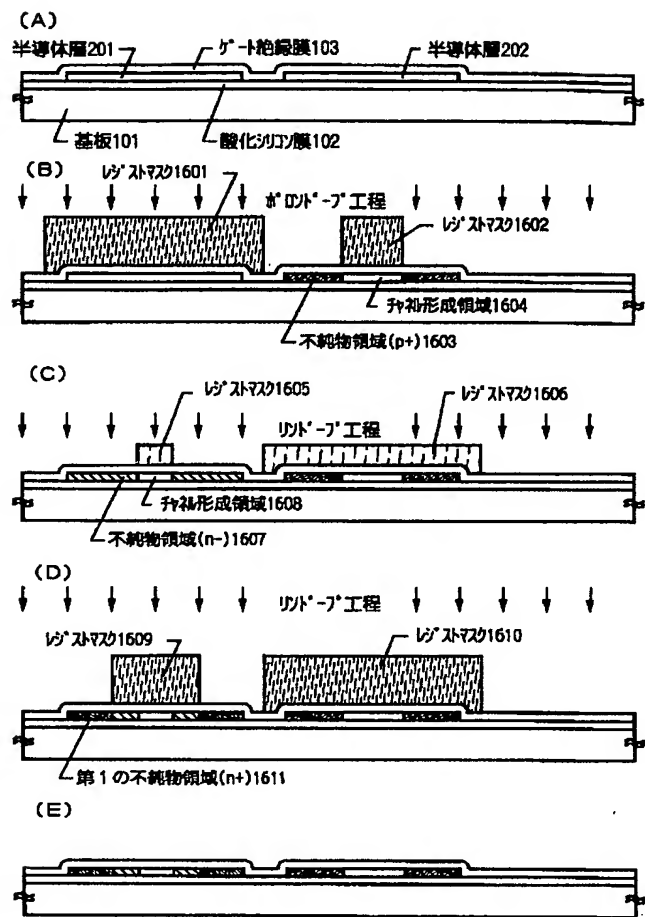
【図27】



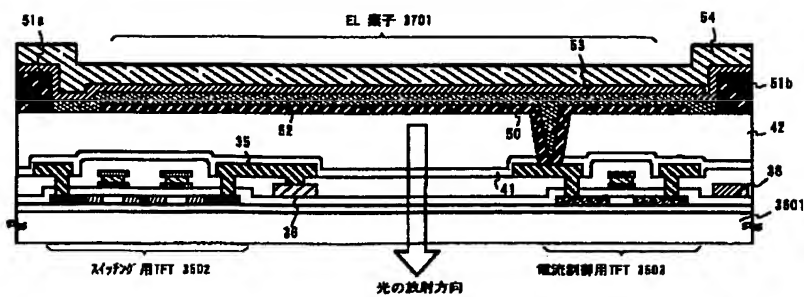
【図 20】



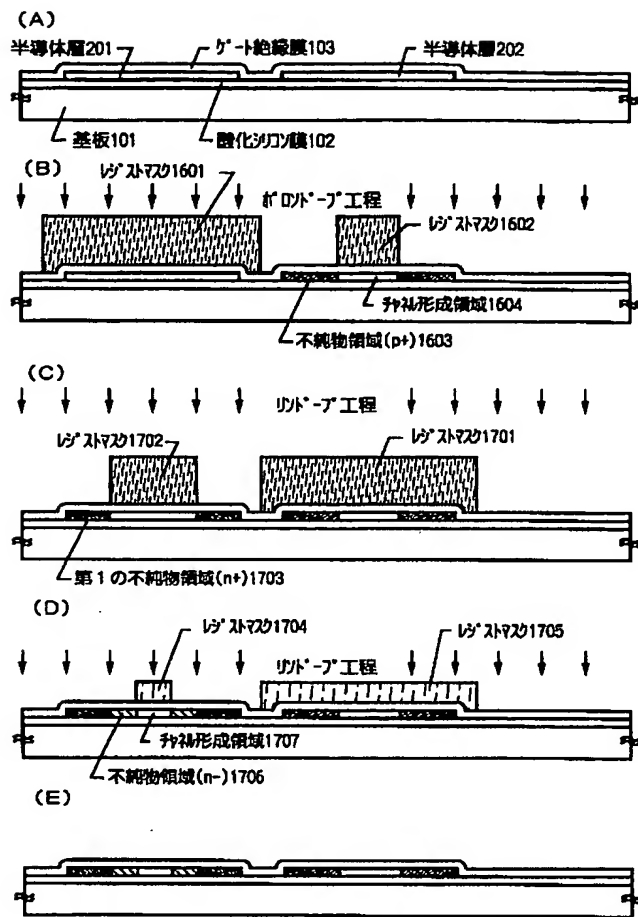
【図 21】



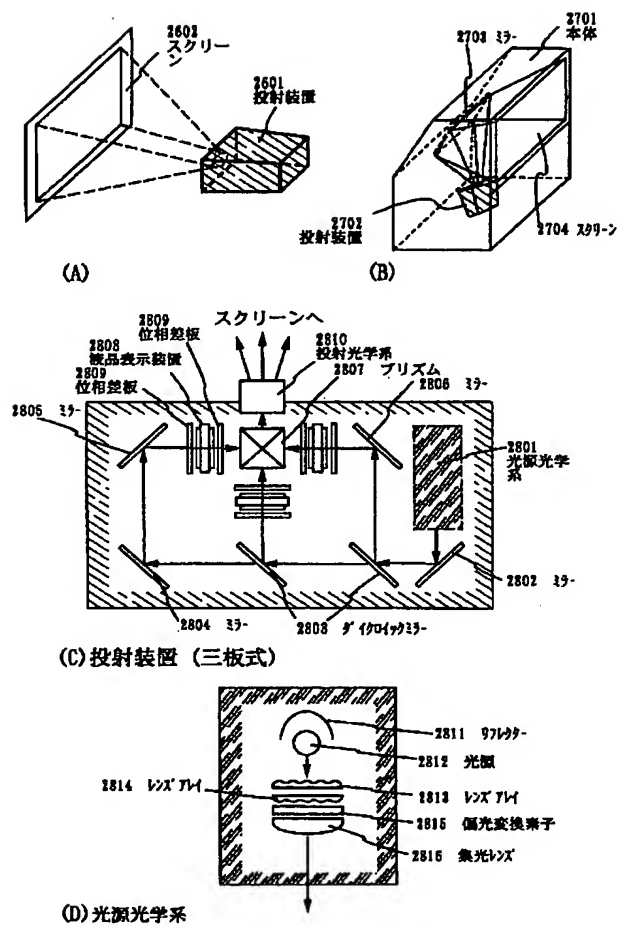
【図 29】



【図 22】

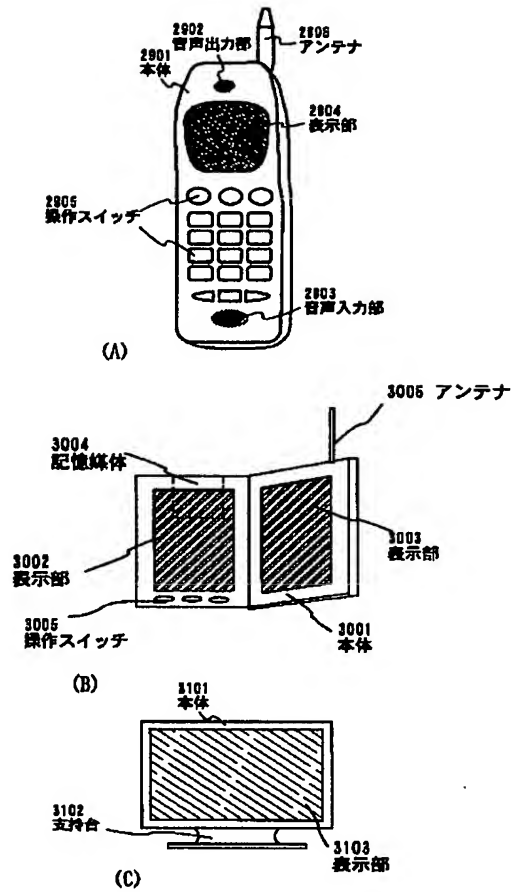


【図 23】

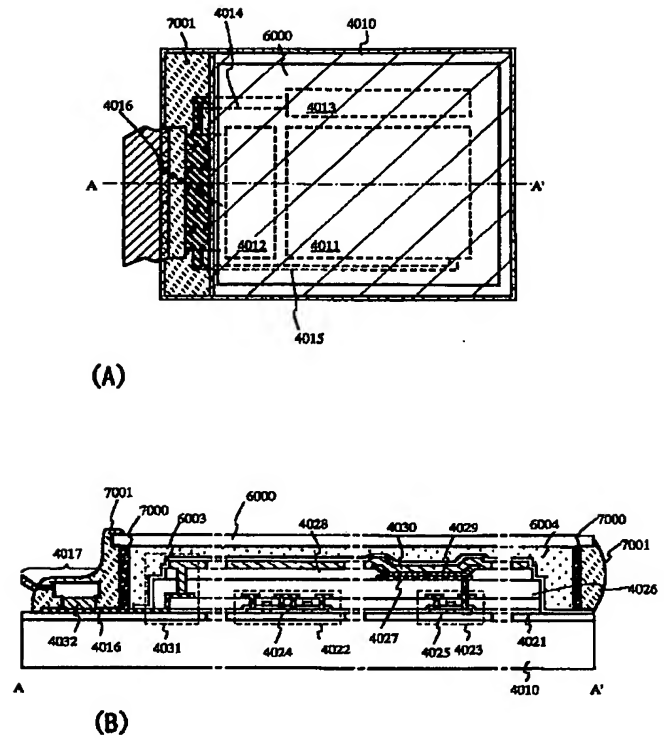




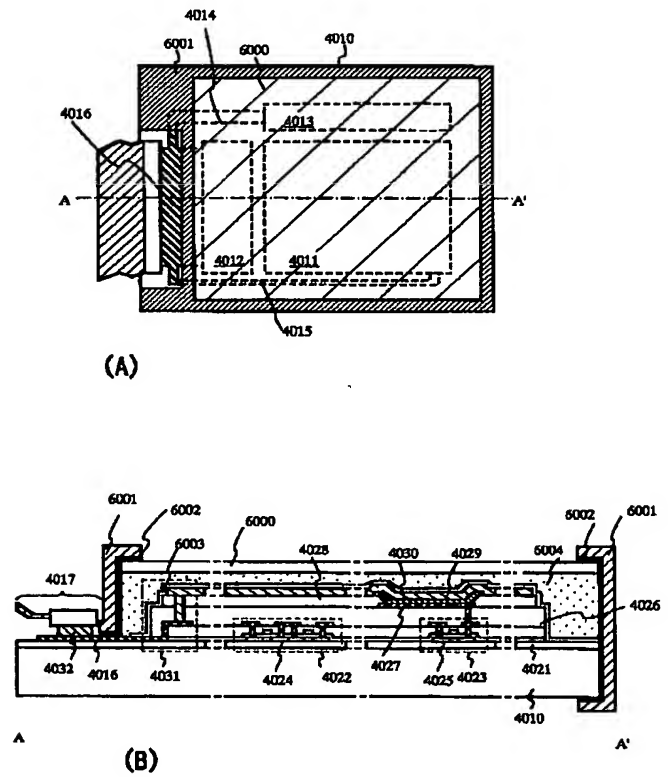
【図 24】



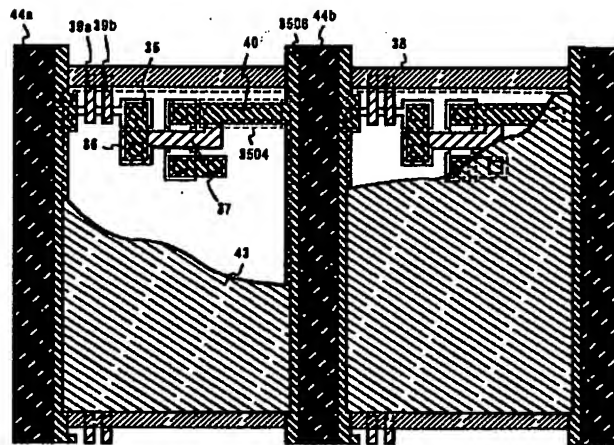
【図 25】



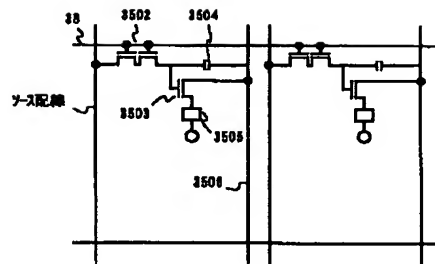
【図 26】



【図28】



(A)



(B)

フロントページの続き

(51) Int. Cl.<sup>7</sup>

識別記号

F I  
H O 1 L 29/78

テーマコード(参考)

6 1 7 L  
6 1 7 J